

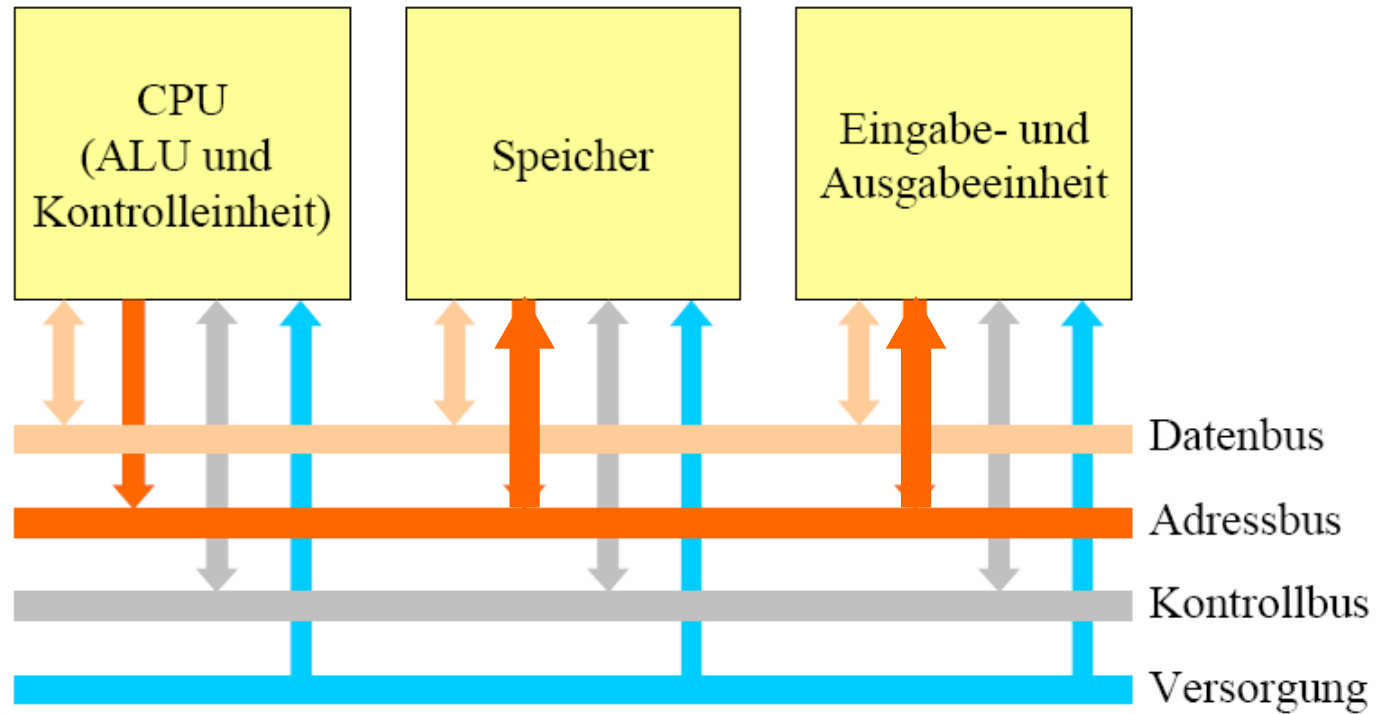
Regeln für Klausur:

Personalausweis (amtl. Ausweis mit Lichtbild)

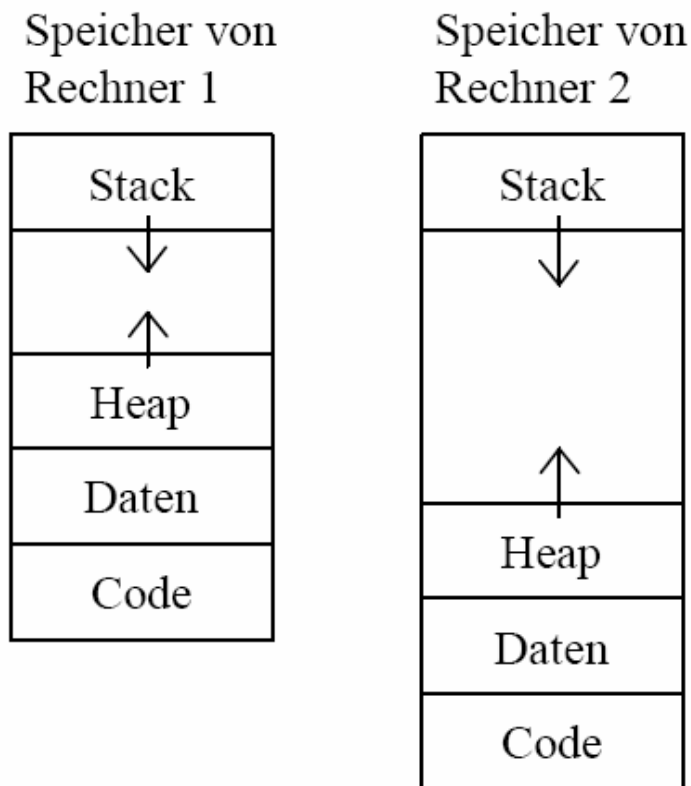
Zugelassen: 1 handgeschriebenes Blatt

Nicht zugelassen: Handy, Taschenrechner,
sonstige Aufzeichnungen und Hilfsmittel

Errata



9.1 Stack-, Heap-, Daten- und Code-Bereich



Größe von **Daten-** und **Code-Bereich** wird beim Übersetzen vom Compiler ermittelt (**feste Größe** für ein Programm).

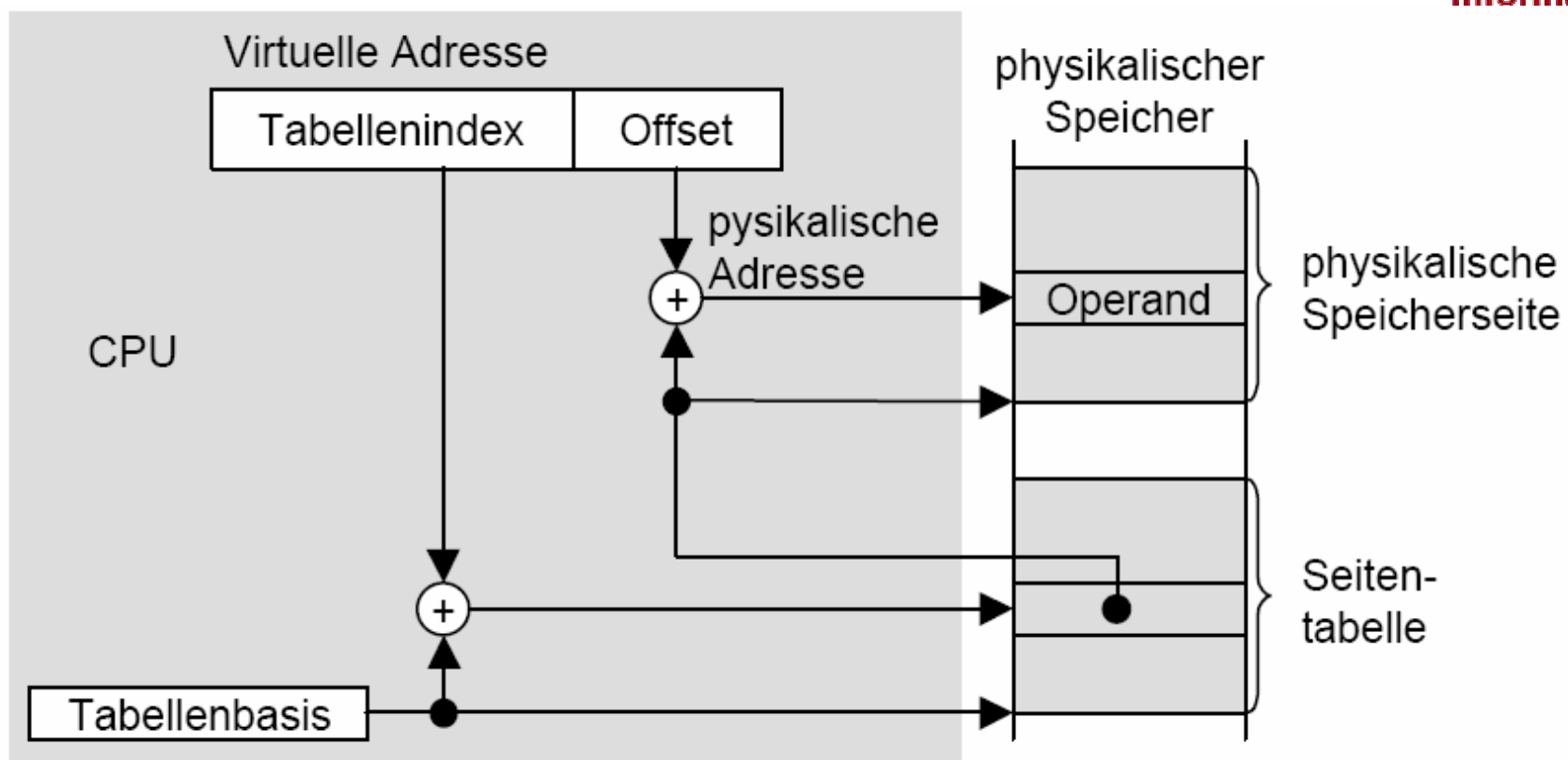
Stack und **Heap** besitzen **dynamische Größen**, die vom Programmablauf abhängen.

(Stack: z.B. Lokale Variable, Heap: dynamische Objekte)

Der freie Bereich zwischen Stack und Heap sollte immer möglichst groß gewählt werden um Speicherunterlauf zu vermeiden.

Mögliche Größe hängt aber vom Rechner (Ressourcen) ab.

9.2 virtuelle Adressierung durch MMU (2)

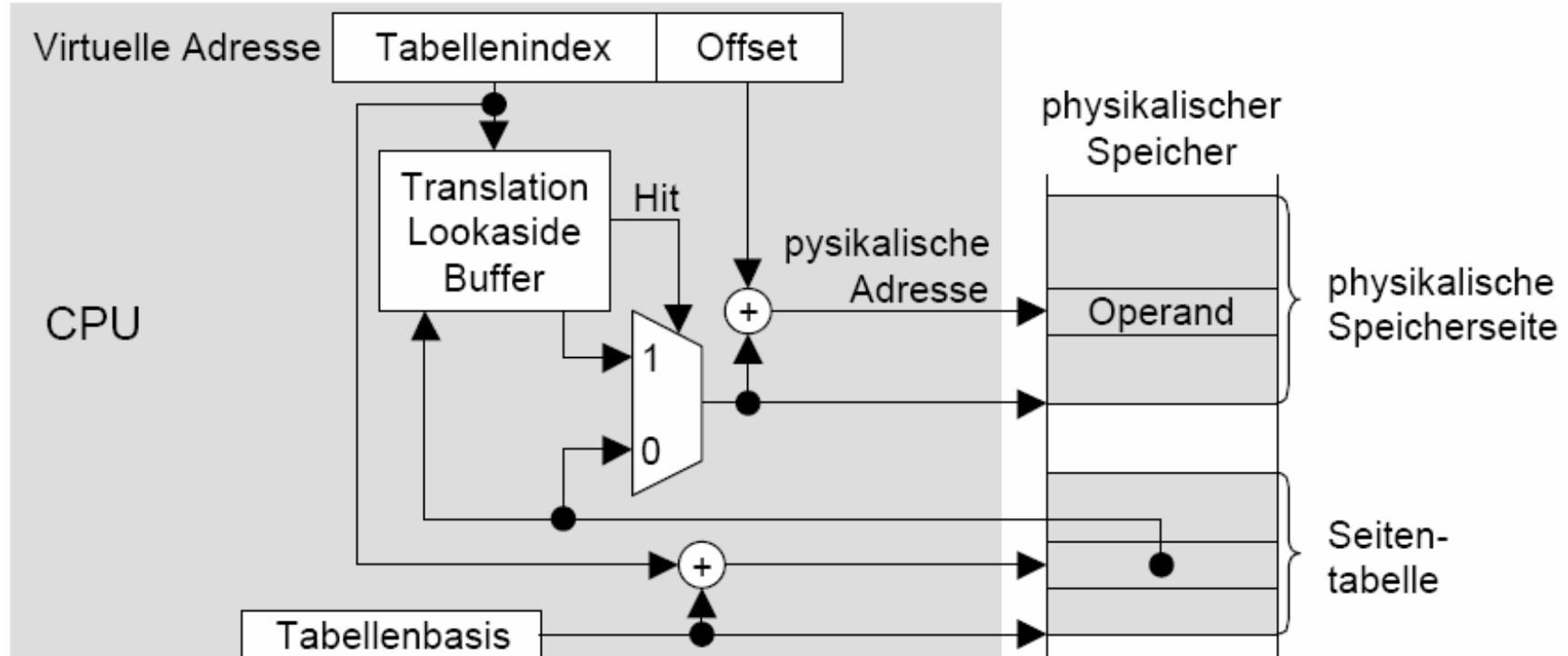


Die **Seitentabelle** liegt im physikalischen Speicher, ihre **Anfangsadresse** ist im Register **Tabellenindex** abgelegt.

Index auf Seitentabelle = Tabellenindex + Tabellenbasis

Adresse Operand = physik. Adresse der Seite + Offset

9.2 Translation-Lookaside-Buffer (TLB)

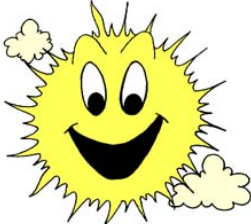


Virtuelle Adresse wird an TLB angelegt:

- Für Tabellenindex ist **Eintrag vorhanden** → Hit.
- **Kein Eintrag**: Basisadresse für physik. Speicherseite wird aus Seitentabelle beschafft und im TLB eingetragen.

In beiden Fällen: Physik. Adresse = Basisadresse + Offset

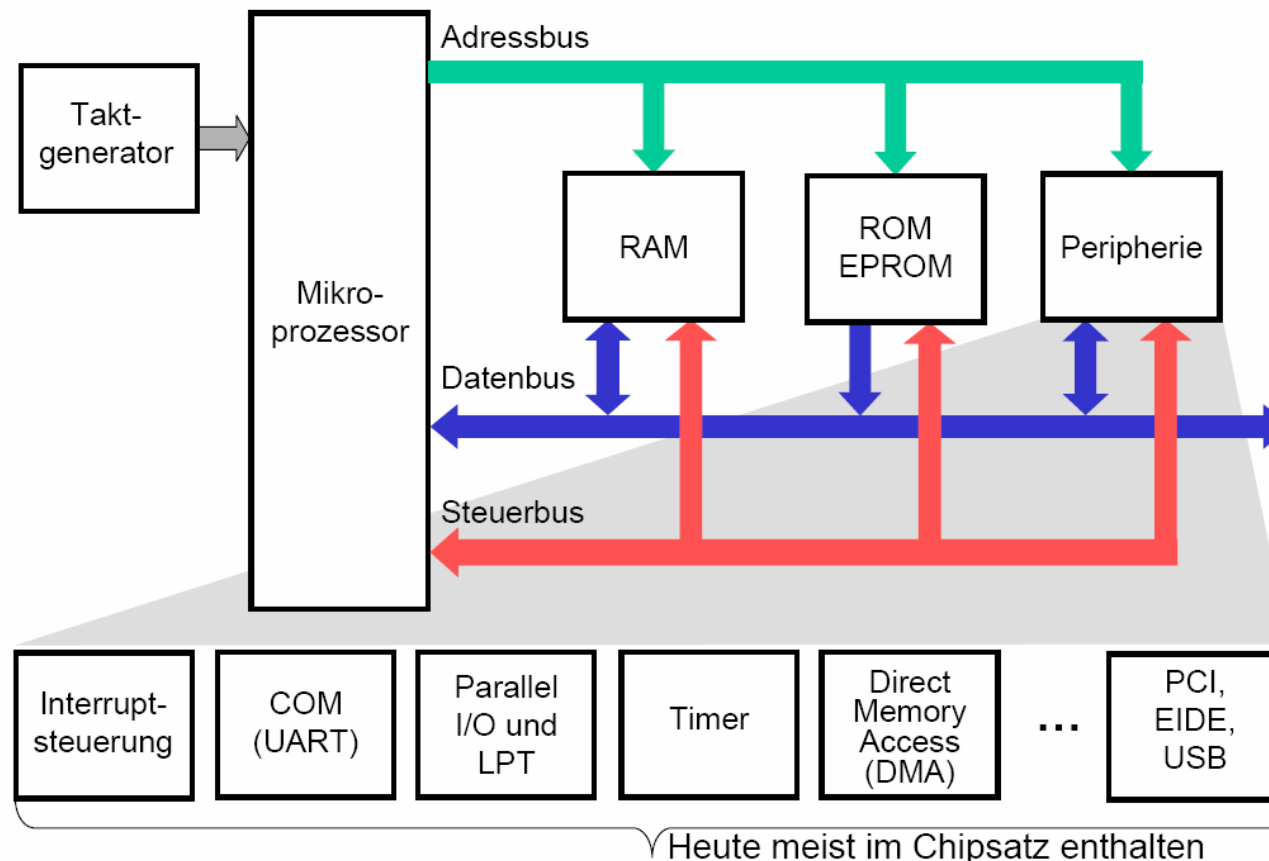
Ende der Wiederholung



10. Bussysteme und Schnittstellen

1. Grundsätzlicher Aufbau eines Mikrocomputers
2. Typische Anordnungen der Bausteine auf der Hauptplatine
3. Chipsätze für Pentium 4 und Athlon-DDR
4. Interne Microprozessor-Bussysteme
5. Externe Bussysteme

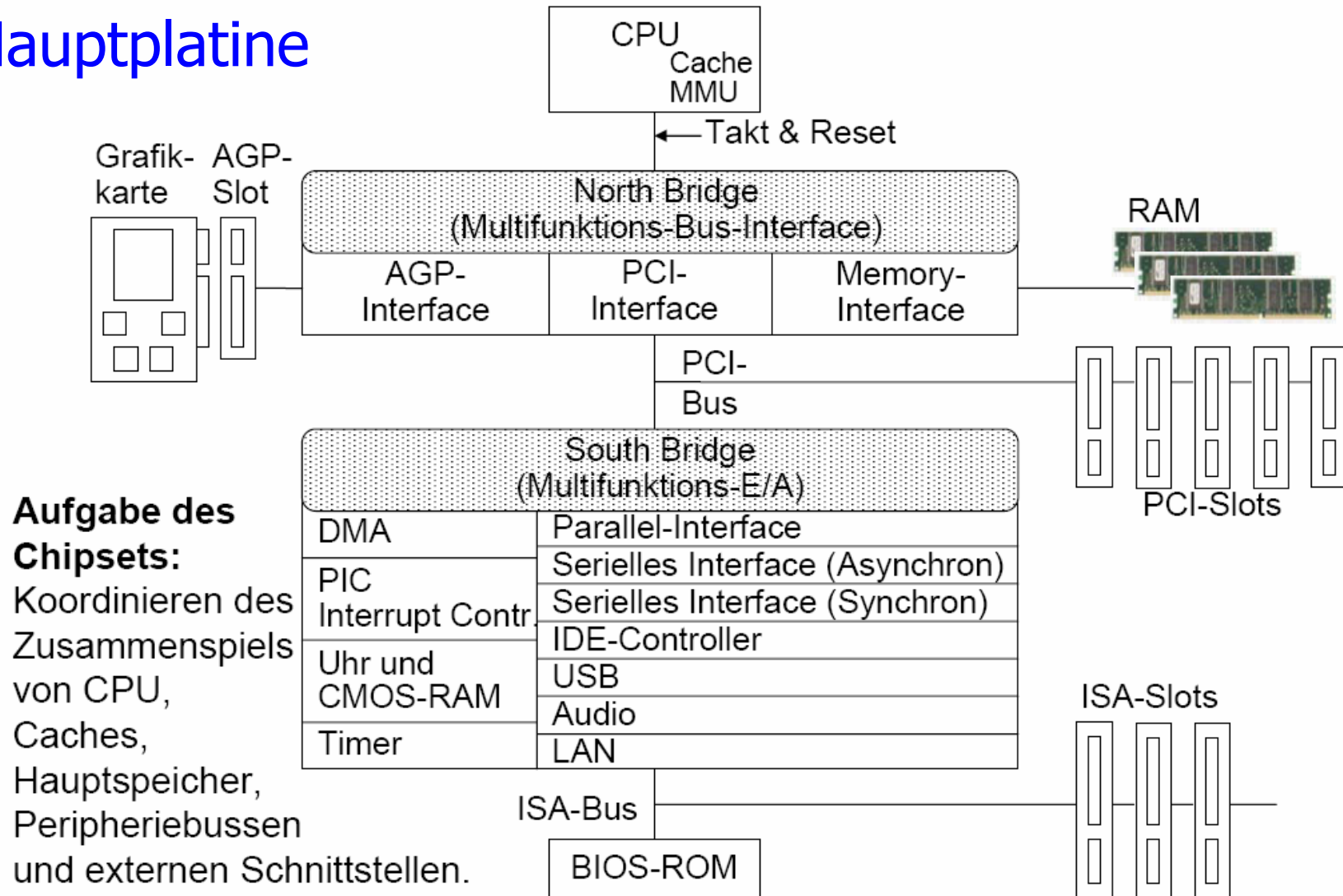
10.1 Bus-Systeme (Mikrocomputer)



Über **systeminterne Bussysteme** kommunizieren Prozessoren mit ihrer Peripherie. Über **externe Bussysteme** kommunizieren Systeme miteinander in einer vernetzten Umgebung, oft auch über weite Strecken.

10.2 Aufbau eines Mikrocomputers

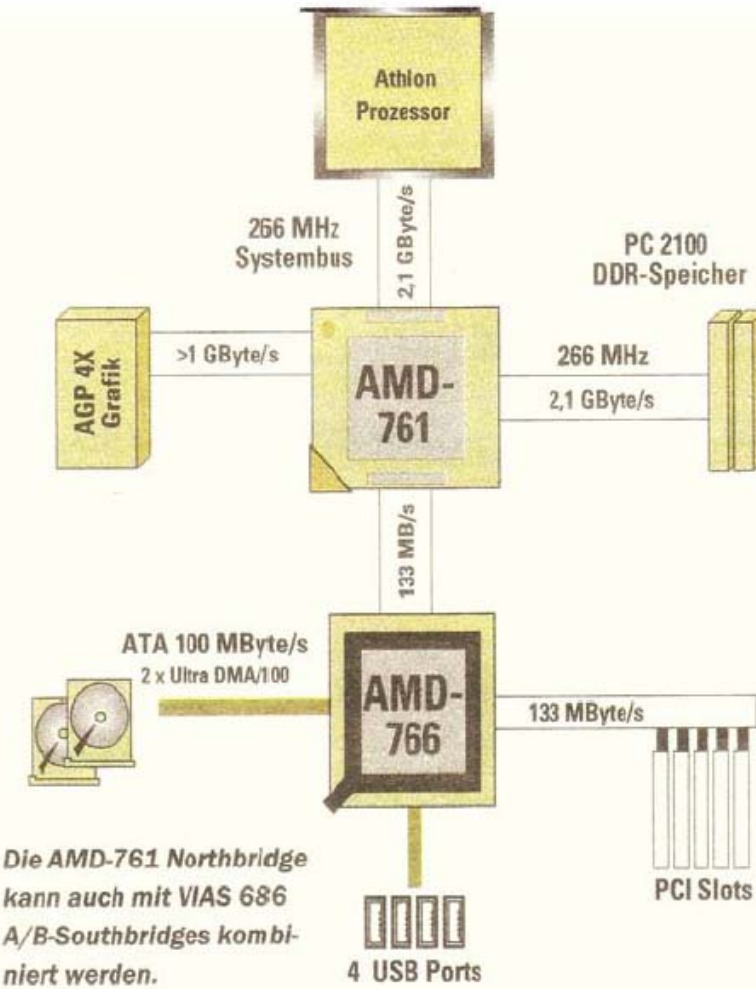
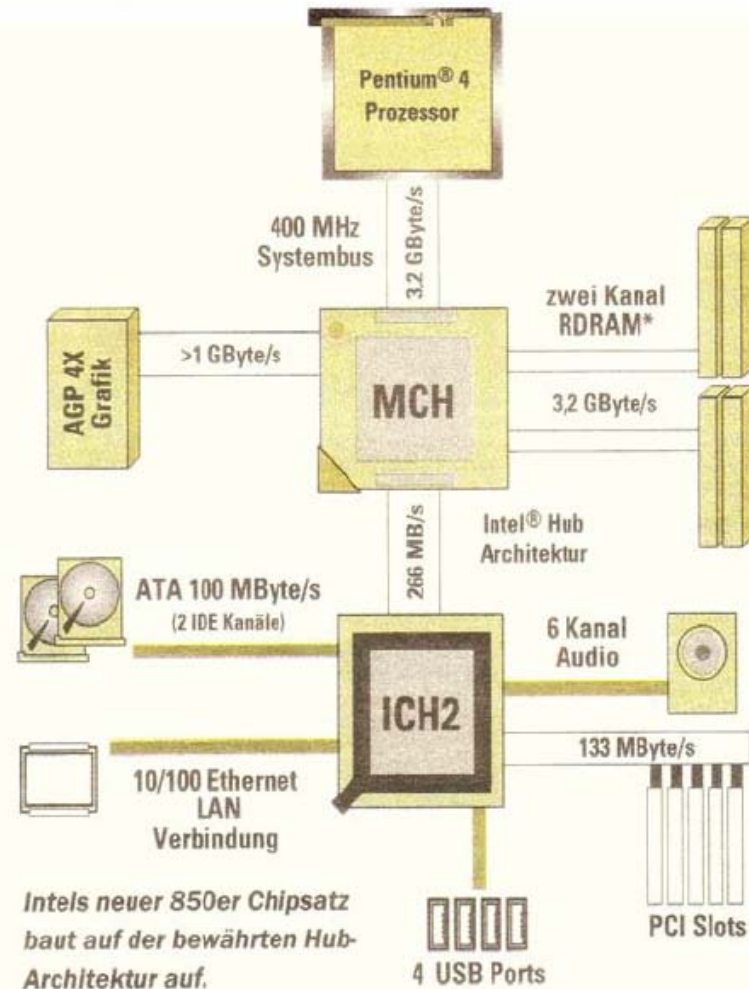
Hauptplatine



Aufgabe des Chipsets:

Koordinieren des Zusammenspiels von CPU, Caches, Hauptspeicher, Peripheriebussen und externen Schnittstellen.

10.3 Chipsätze (Beispiel)



MCH = Memory Controlling Hub
 ICH = I/O Controller Hub

Quelle: PC Professionell 2/2001

10.4 Interne Bussysteme (µComputer)

Veraltete Bussysteme:

ISA

(Industry Standard Architecture)

- Entwickelt für 8086/80286 PC's
- Datenwegbreite: 8/16 Bit,
- Bustakt: 8 MHz

EISA

(Extended ISA)

- Multimasterfähig
- ISA als Unterbus
- Datenwegbreite: 32 Bit
- Bustakt: 8 MHz

VLB - VESA Lokal Bus

(Video Electronics Standard Association)

- Multimasterfähig
- Datenwegbreite: 32 Bit
- Bustakt: 33 MHz

Aktuelle Bussysteme:

PCI-Bus (Peripheral Components Interface)

- Multimasterfähig
- Datenwegbreite: 32 oder 64 Bit
- Bustakt: 33 oder 66 MHz

SCSI-Bus (Small Computer Systems Interface)

- Herstellerunabhängige Schnittstelle für Peripheriegeräte bezüglich Mechanik, Elektrik, Software-Treiber
- Anschluss von max. 7 (8 mit Adapter) Geräten mittels ursprünglich 50-poligem Flachbandkabel
- Datenwegbreite: 8 oder 16 Bit
- Bustakt: 5 bis 160 MHz

AGP (Accelerated Graphics Port)

- Schnittstelle für Grafikkarten
- Datenwegbreite: 32 Bit
- Bustakt: 66 MHz

PCMCIA (PC Memory Card International Association)

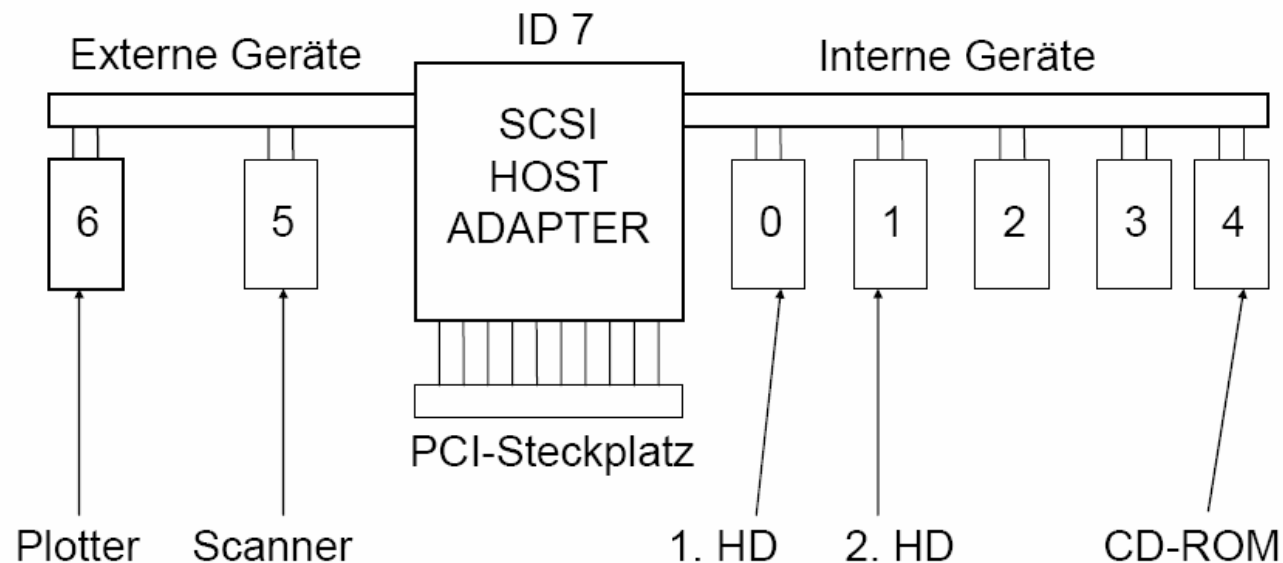
- Universelle E/A-Schnittstelle für Laptops.

10.4.1 Interne Bussysteme: PCI

- Prozessorunabhängiger Bus zum Betreiben schneller Komponenten (< 10 Komponenten inklusive Bridge)
- Unterstützung langer Bursts, d.h. kontinuierlicher Übertragung größerer Datenblöcke als ununterbrochenes Bündel kleiner Dateneinheiten
- 32-Bit-Multiplex-Bus, auf 64 Bit erweiterbar (derzeitig für Server), davon unabhängige 32- oder 64-Bit-Adressierung
- Synchroner Bus mit 33- oder 66 MHz-Bustaktfrequenz
- Multi-Master-Fähigkeit

Taktrate (MHz)	33		66	
Busbreite (Bit)	32	64	32	64
Non-Burst-Read (MByte/s)	44	88	88	172
Non-Burst-Write (MByte/s)	66	132	132	264
Burst-Read (MByte/s)	106	211	211	423
Burst-Write (MByte/s)	117	234	234	468

10.4.2 Interne Bussysteme: SCSI



- Small Computer System Interface, paralleler Bus 8 oder 16 Bit
- Es gibt mehrere SCSI-Standards, die meist abwärtskompatibel sind.
- Wesentliche Unterschiede bei Steckerausführungen und Taktraten
- Daisy-Chain: Letztes Gerät einer Kette (4-16) am SCSI-Bus muss terminiert werden. Sonst entstehen elektrische Reflexionen am Ende der Leitungen, wodurch der Signaltransfer nicht korrekt funktioniert.
- Jedes Gerät benötigt eindeutige Device-ID.
- Bandbreite: 5 – 160 MByte/s

10.4.3 Interne Bussysteme: EIDE

- IDE = Integrated Drive Electronics,
- EIDE = Enhanced IDE, oft ATA genannt (Der Plattencontroller sitzt auf dem Laufwerk).
- ATA = AT-Attachment (AT = Advanced Technology, Bus ab 80286 CPU)
- ATAPI = Advanced Technology Attachment Packet Interface: Standard zur Einbindung von „Nicht-Festplatten“ in die (E)IDE- Schnittstelle.
- Für ein ATAPI-Laufwerk im System braucht man einen „Treiber“.
- PIO = Programmierter I/O (mittels IN- und OUT- Befehle des Prozessors)
Es erfolgt eine direkte Übertragung der Daten ohne Sicherung
- DMA = Direct Memory Access
Der Datentransfer erfolgt weitgehend ohne Mitwirkung der CPU

10.4.3 Interne Bussysteme: EIDE (2)

IDE-Modes							
Mode	0	1	2	3	4	5	6
PIO [MByte/s]	3,33	5,22	8,33	11,11	16,6	25	33
Ultra DMA [MByte/s]	(16,66)	(25)	33,33	44	66	100	133

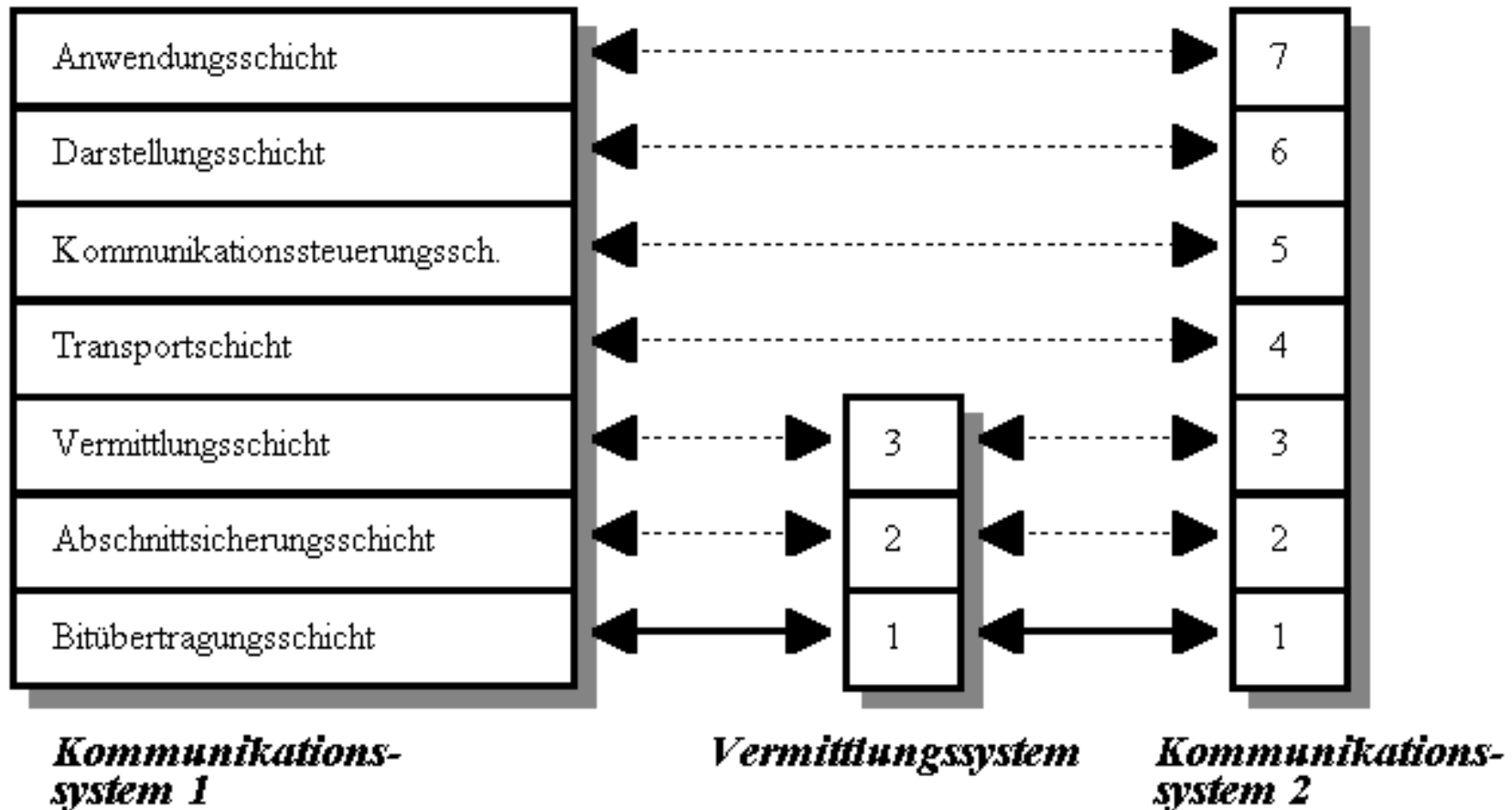
Auf dem Mainboard meist zwei Kanäle (Primary /Secondary Channel) für jeweils 2 Geräte (Master, Slave)

10.5 Externe Bussysteme

1. OSI Schichtenmodell
2. Serielle/parallele Schnittstelle
3. USB
4. Firewire (IEEE 1394)
5. IrDA
6. Bluetooth
7. Ethernet
8. CAN
9. MOST

10.5.1 OSI Schichtenmodell

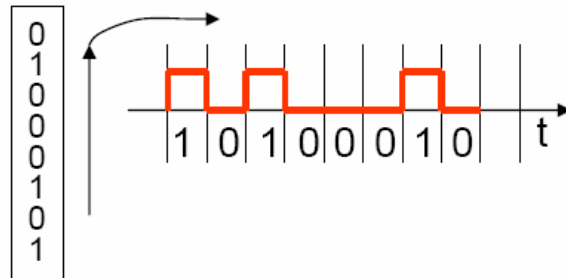
Open Systems Interconnection (OSI) - Referenzmodell



Jede Schicht baut auf die Dienste der darunter liegenden Schicht auf.
Nicht immer sind alle Schichten realisiert, z.B. TCP/IP

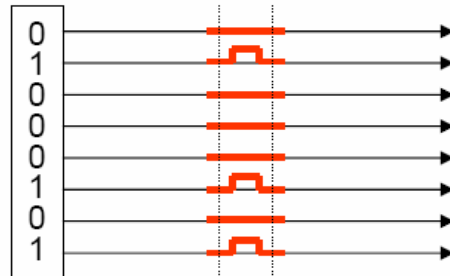
10.5.2 Serielle und parallele Schnittstelle

Serielle Übertragung:

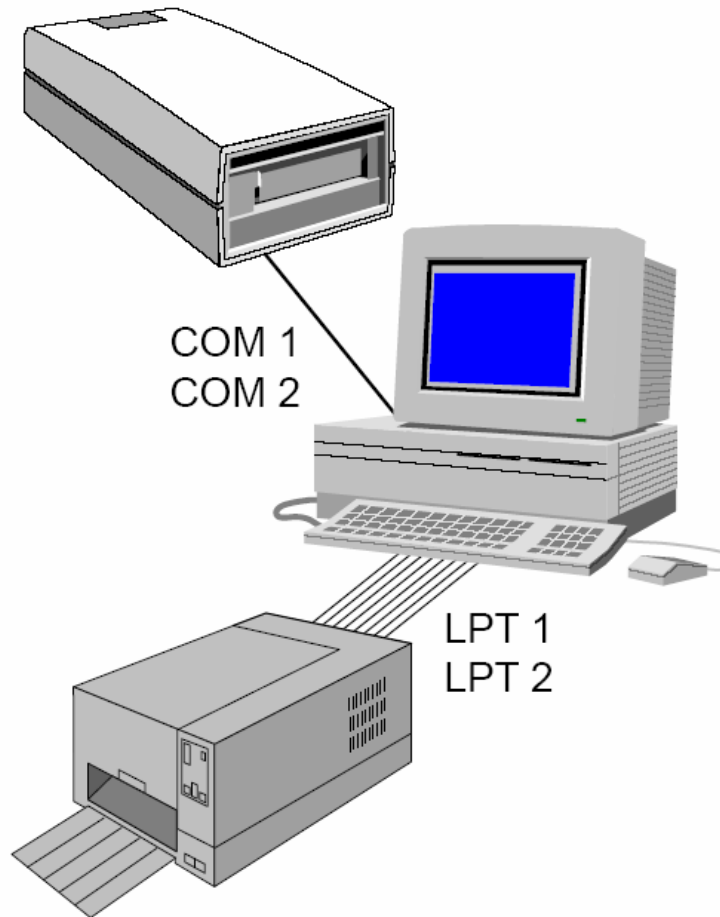


1 Bit pro Zeitintervall, 1 Leitung

Parallele Übertragung:



8 Bit pro Zeitintervall, 8 Leitungen



- Seriell: Übertragung der Zeichenbits sequentiell in bestimmtem Taktraster über 1 Leitung.
- Parallel: Alle n Bit eines Zeichens gleichzeitig über n Leitungen übertragen

10.5.2 Serielle und parallele Schnittstelle

Betriebsarten:

- **Simplex** (unidirektional): Datenübertragung nur in eine Richtung
- **Halbduplex** (bidirektional): Nicht gleichzeitige Datenübertragung in beide Richtungen
- **Vollduplex** (bidirektional): Gleichzeitige Datenübertragung in beide Richtungen -> doppelte Leitungen

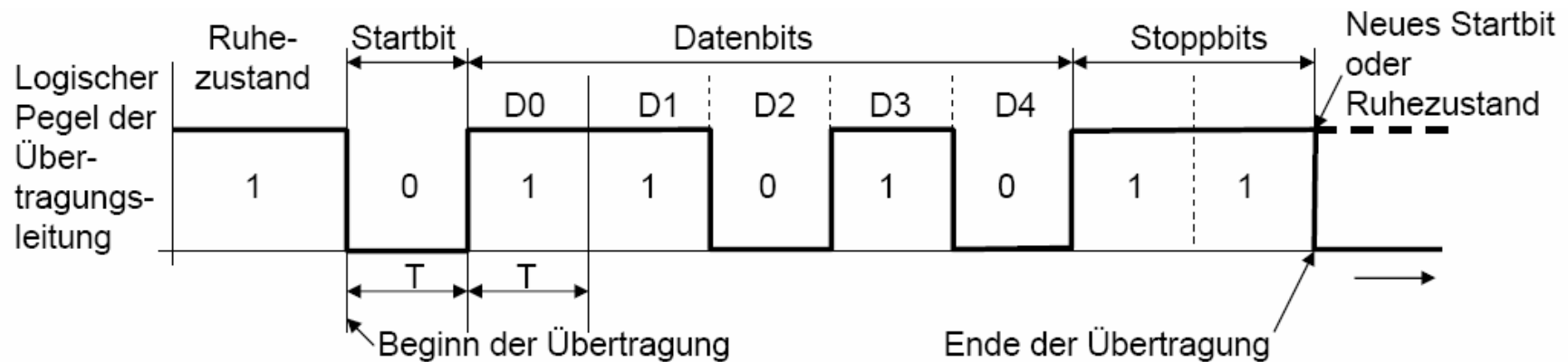
Synchrone/asynchrone Übertragung:

- **Synchron**: Übertragung der Zeichen im festen Zeitraster. Synchronisierung über gemeinsamen Takt oder über die Daten selbst
- **Asynchron**: Zeitlicher Abstand zwischen einzelnen Zeichen. Variable Synchronisierung über zusätzlich mit übertragene Steuerinformation

Geschwindigkeitsbegriffe:

- **Übertragungsrate**: Anzahl übertragener Bit/Byte pro Sekunde [Bit/s bzw. Byte/s]
- **Schrittgeschwindigkeit**: Anzahl Takte pro Sekunde [Baud]
-> seriell: Übertragungsrate = Schrittgeschw. \leftrightarrow parallel: $\ddot{U} > S$
- **Transfargeschwindigkeit**: Netto-Übertragungsrate ohne Steuerinformationen [Bit/s bzw. Byte/s]

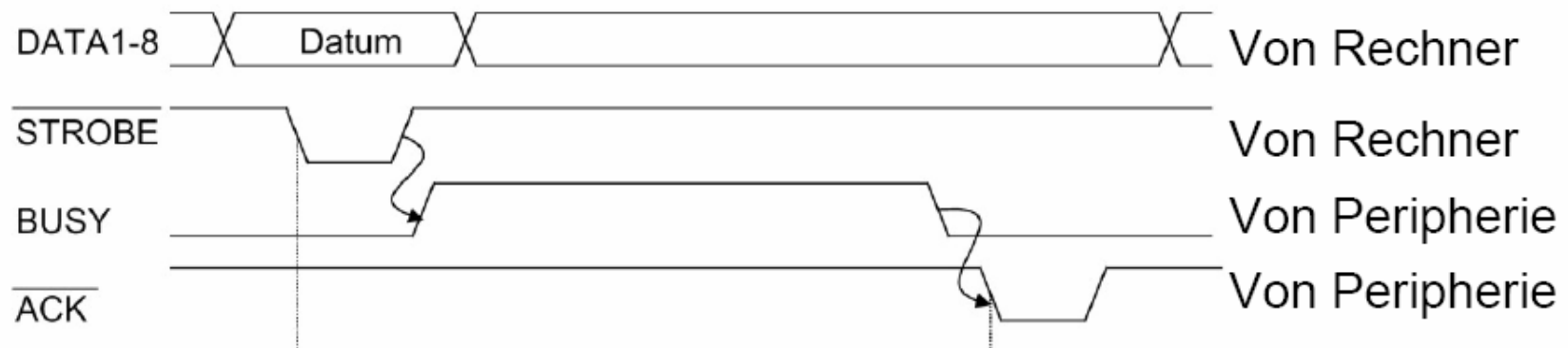
10.5.2 Asynchrone serielle Übertragung



Sender und Empfänger synchronisieren sich nach folgendem Prinzip:

- Übertragungsleitung liegt im **Ruhezustand** auf High-Pegel
- Empfänger tastet die Empfangsleitung üblicherweise mit 16-facher Übertragungsrate ab
- Nach Erkennen der fallenden Flanke des **Startbits** tastet der Empfänger die Empfangsleitung in den Bitmitten ab (durch die bekannte Übertragungsrate möglich).
- Mindestens ein **Stopbit** schließt die Übertragung eines Zeichens ab und ermöglicht dadurch neue Synchronisation mit der negativen Flanke des nächsten Startbit.

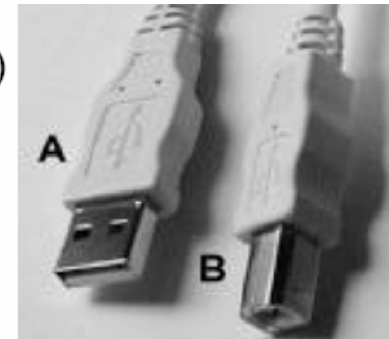
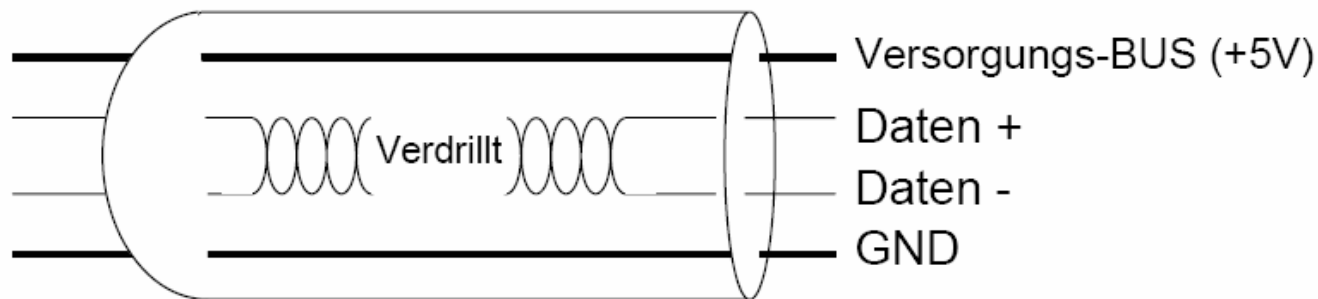
10.5.2 Parallele Datenübertragung



- **Centronics-Schnittstelle:** 36-poliger Stecker, 18 Signalleitungen, 18 Masseleitungen
- **IBM-Schnittstelle:** 25-poliger Stecker, 18 Signalleitungen, 7 Masseleitungen, maximale Kabellänge: 5 m
- Ursprünglich nur für die Druckausgabe entwickelt (unidirektional), wird die parallele Schnittstelle heute auch zur bidirektionalen Kommunikation benutzt. (IEEE 1284)

Bsp.: Scanner, ZIP-Laufwerk, Kopplung zweier Computer

10.5.3 USB – Universal Serial Bus



- 4 - Draht – Kabel (2 für Signale, 2 für Stromversorgung der angeschlossenen Geräte)
 - USB **Low speed** mode (1,5 MBit/s) ungeschirmte Kabel < 3m
 - USB **1.1 Full speed** mode (15 MBit/s) geschirmte twisted pair Kab. < 5m
 - USB **2.0 High speed** mode 480 MBit/s
 - Bis zu 126 Geräte an einen Root Hub anschließbar
 - Hot Plug & Play: Hinzufügen und Entfernen während des Betriebs
 - Verkabelung als hierarchischer Baum mit Sternkopplern (Hubs) an den Knoten. Knoten können Hubs oder Peripheriegeräte sein.
 - Kabellänge zwischen Geräten maximal 5 m, maximal 7 Kabelstrecken zwischen Root Hub und letztem Gerät in einer Kette.
 - Host fragt angeschlossene Geräte über zyklisches Polling ab.
- ... weitere Details siehe Skript und Literatur.

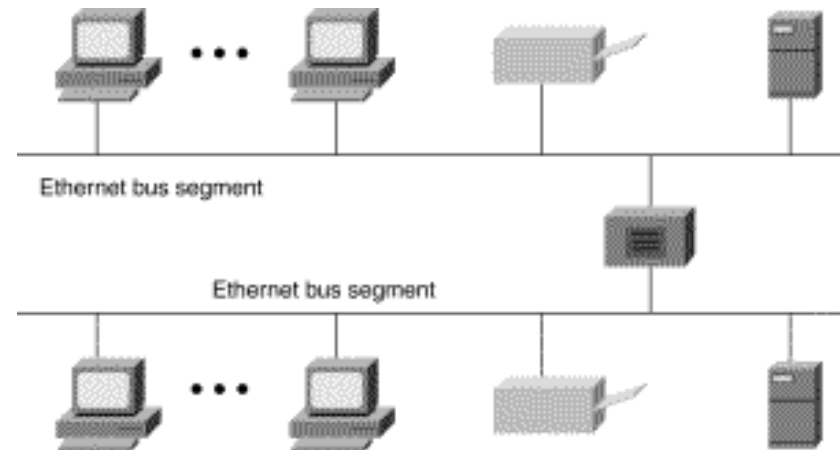
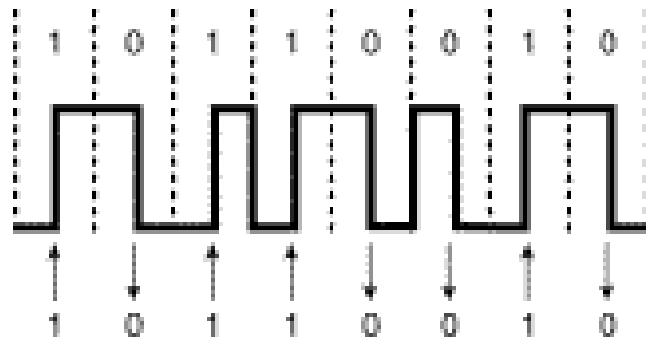
10.5.7 Ethernet

- jeder Benutzer überträgt, wann er will (ohne Abfrage, ob Kanal belegt !)
- kollidierende Rahmen werden zerstört
- durch Abhören des Kanals kann jeder Benutzer eine Kollision feststellen
- nach Feststellen einer Kollision sendet ein Benutzer nach einer zufällig ausgewählten Zeit nochmals
- Auslastung begrenzt ($\leq \sim 18\%$)
- Trägererkennung mit Vielfachzugriff, CSMA (**carrier sense multiple access**)
- CSMA/CD (**collision detect**): Rahmenübertragung wird nach Erkennen einer Kollision gestoppt.

10.5.7 Ethernet (2)

- Manchester Codierung: ein 1-Bit wird mit einem Low-Signal am Anfang und einem High-Signal am Ende dargestellt, ein 0-Bit entsprechend umgekehrt. (-0,85 V/+0,85 V/0 V)
- 10 Mbps (ursprüngliche Version), d.h. 100 ns pro Bit heute: → 100 Mbps ...
- synchrone Übertragung
- 50 Ω Koaxialkabel, thick + thin (Ausbreitung: 5ns/m)
- oder verdrilltes Doppelkabel
- Länge < 500m (dick), < 200m (dünn)
- Repeater zur Verlängerung
- zwei Transceiver dürfen nicht mehr als 2,5 km auseinanderliegen.

10.5.7 Ethernet (3)



Manchester Codierung

Bus Topologie

Stern Topologie

