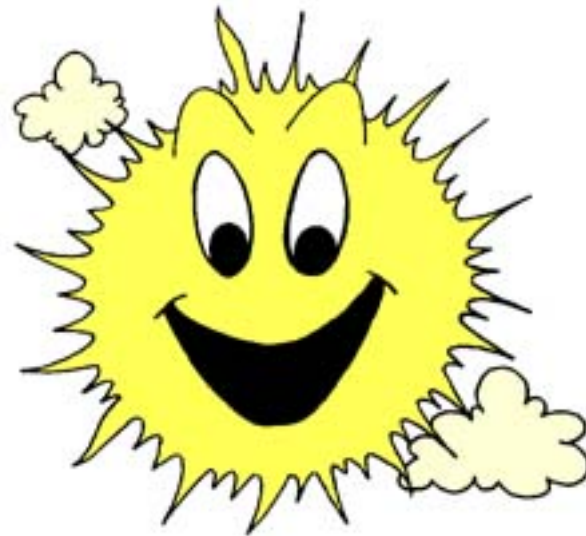


Wiederholung der 11. Vorlesung

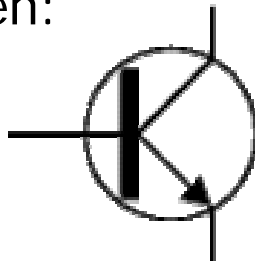


6 Der Transistor (npn-Transistor)

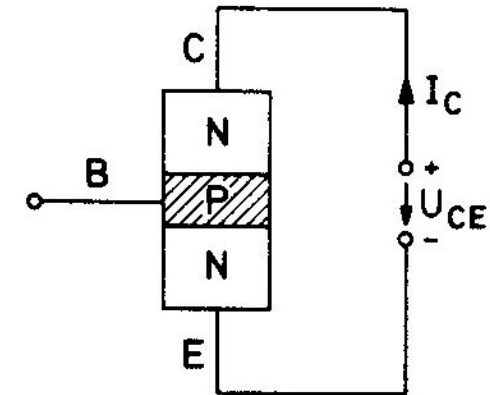
Der (bipolare) Transistor besteht aus zwei n-leitenden Kristallen, zwischen denen sich eine dünne p-Schicht befindet.

Alle drei Bereiche sind mit einem Anschluss versehen:

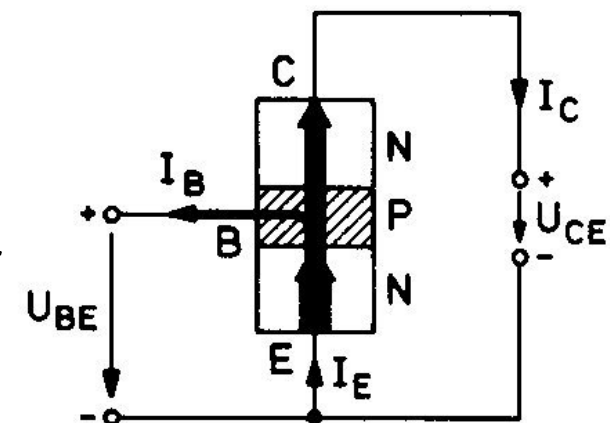
- Collector (C)
- Basis (B)
- Emitter (E)



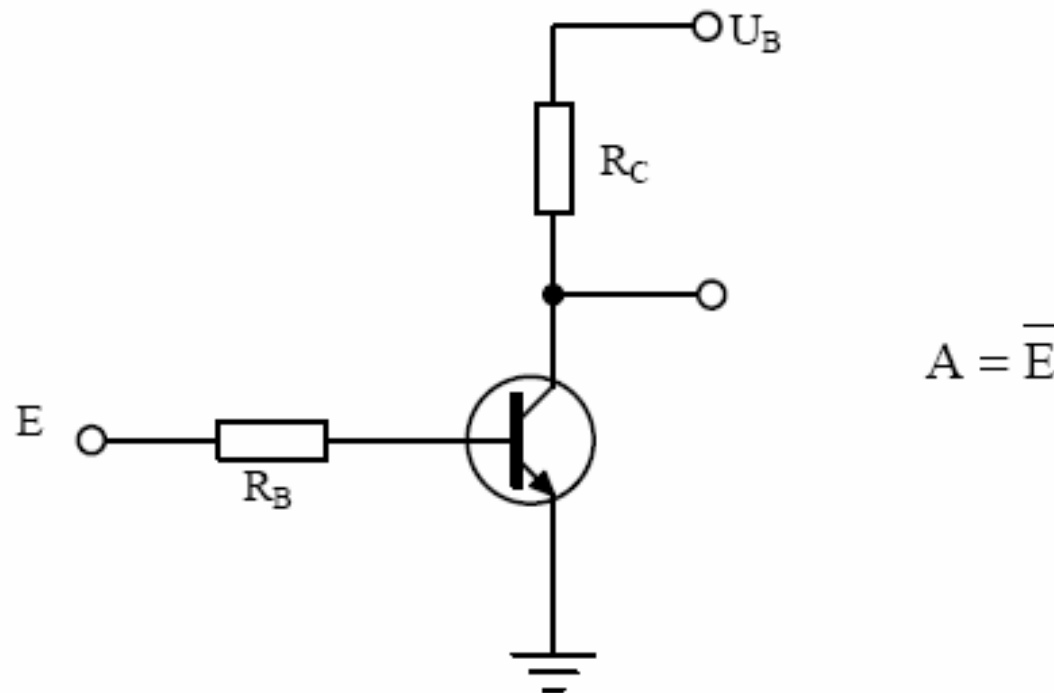
Ein kleiner Strom zwischen E und B bewirkt Überschwemmung der Basis mit Ladungsträgern, so dass Transistor zwischen E und C leitend wird.



Die beiden Übergänge np und pn wirken wie zwei gegeneinander geschaltete Dioden.

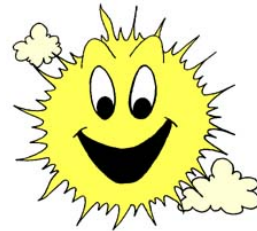


6 Der Transistor als Inverter



Wird der Transistor am Eingang mit einer Spannung (High) größer als die Schwellspannung seiner BE-Diode angesteuert, fließt also ein Strom durch die Basis-Emitter-Diode, so 'schaltet der Transistor durch' und wird niederohmig. Damit ergibt sich am Ausgang eine sehr kleine Spannung (Low).

Ende der Wiederholung

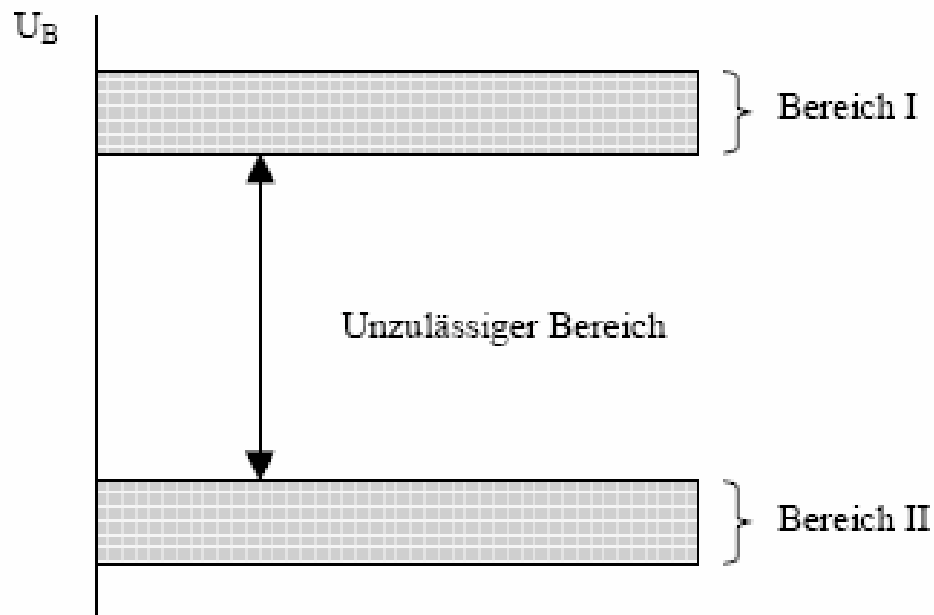


7 Technologien integrierter Schaltkreise

0. allgemein – Logik-Pegel
1. TTL-Technik
2. Open Collector Ausgangsschaltung
3. Tri-State Ausgangsschaltung
4. CMOS-Technologie
5. BICMOS-Technologie
6. ECL-Technik
7. Schaltsymbole und einfache Schaltungen der Elektronik

7.0 Logik-Pegel

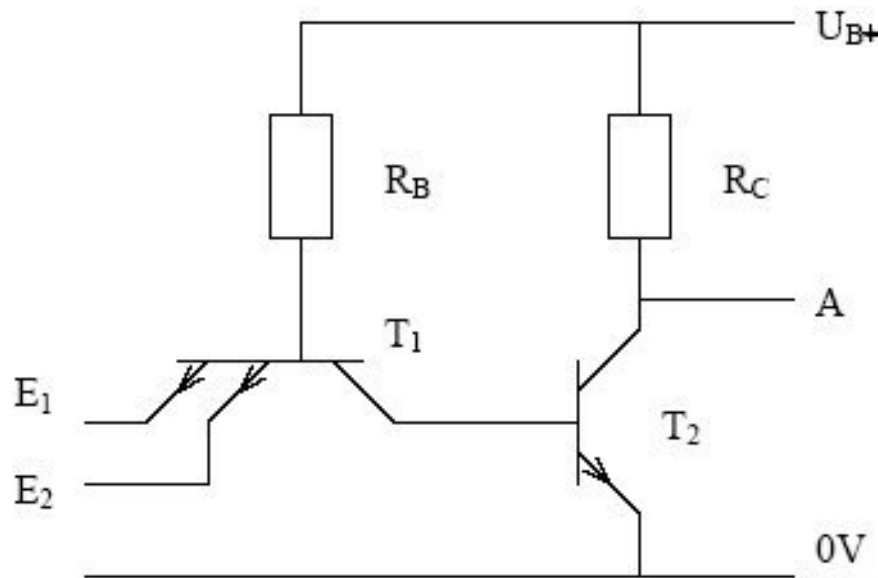
Bei der praktischen Umsetzung digitaler Schaltungen werden, aus Toleranzgründen (Temperatur, Versorgungsspannung, Last, etc.), Pegelbereiche für die zwei gültigen Zustände „wahr“ und „falsch“ angegeben:



Typische Versorgungsspannungen von IC's sind:

- TTL, 5V
 - L: $< 0.8\text{ V}$
 - H: $> 2\text{ V}$
- CMOS, 5-20V
- BICMOS, 5V/3,3V
- NMOS, 5V
- ECL, -5,2V.

7.1 Transistor-Transistor-Logik (TTL)



Multiemitter-Transistor T1 ist logisches Element:

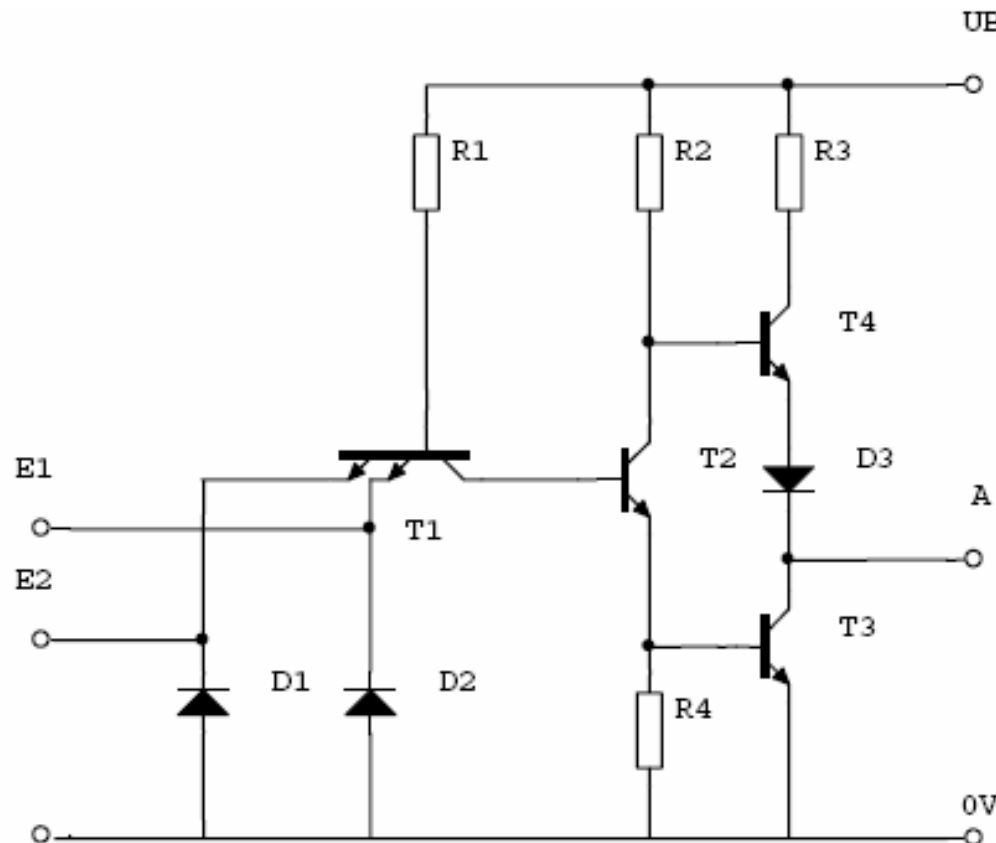
- E₁ oder E₂ auf Low: Es fließt ein BE-Strom. T₁ wird leitend.
→ Basis von T₂ liegt auf Masse: T₂ sperrt.
→ **A: High** (durch R_C)
- E₁ und E₂ auf High: über BC-Strecke von T₁ fließt Strom über BE-Strecke von T₂
→ T₂ leitet → **A: Low**

Der Eingangsstrom bei L wird durch U_B/R_B bestimmt und ist relativ hoch. Zu viele Eingänge an einer solchen Ausgangsstufe geschaltet könnte diese überlasten
→ logische Pegel sind nicht mehr garantiert.

7.1 TTL Gegentakt Schaltung

Der **Fan-Out** einer Digitalschaltung gibt die mögliche Belastbarkeit eines Ausgangs an, also wieviele Eingänge an einen Ausgang geschaltet werden dürfen.

Gegentakt-Ausgänge (Totem-Pole) erhöhen den Fan-Out:



Eingangsschaltung wie zuvor:

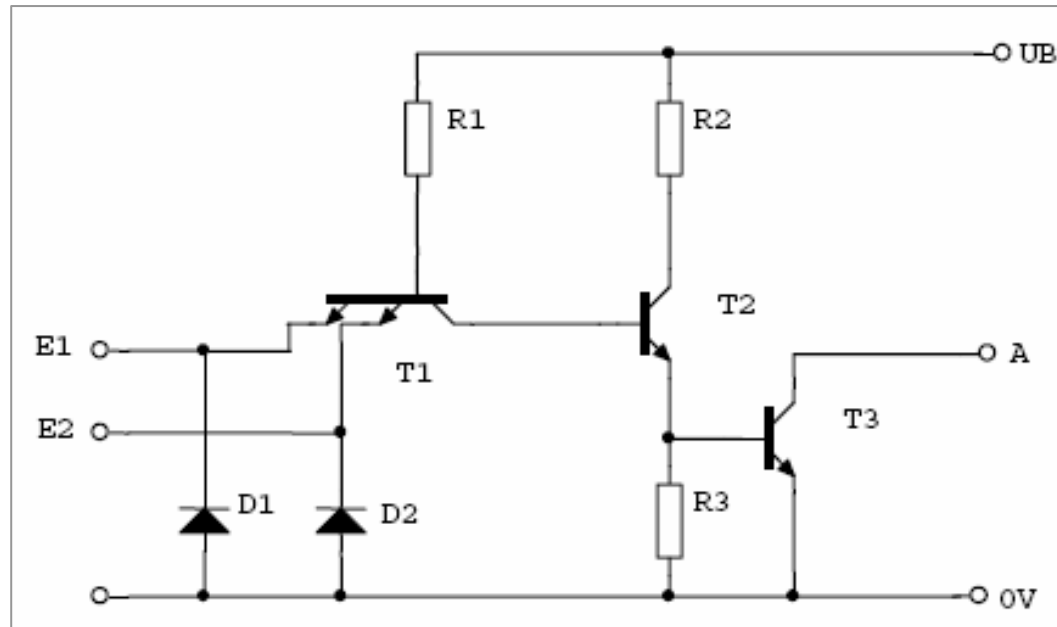
- Sperrt T2, liegt Basis von T3 auf Masse, die Basis von T4 auf UB

→ **A: High**

- Leitet T2, wird T4 gesperrt. T3 leitet, weil ein BE-Strom fließen kann

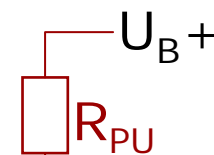
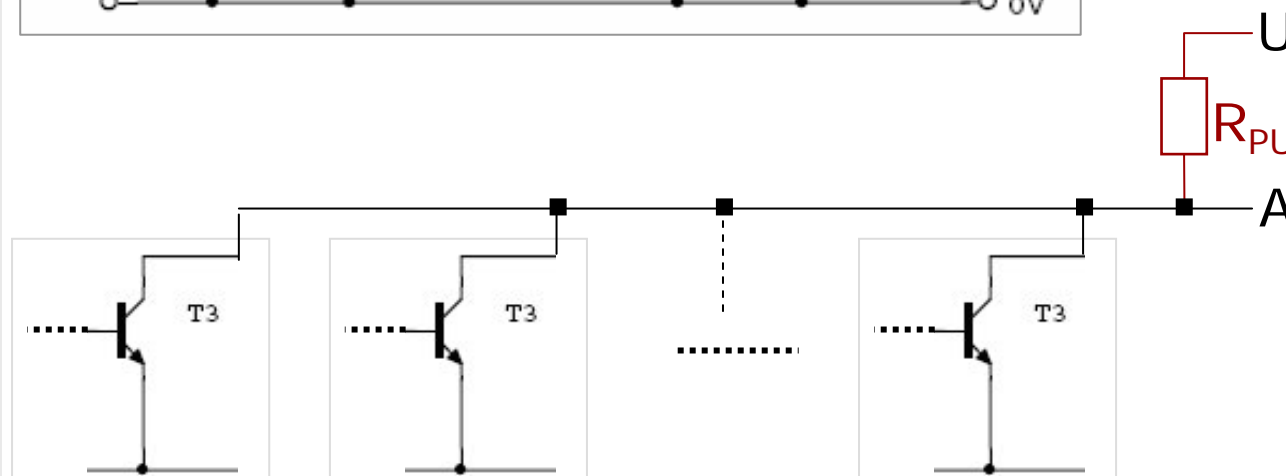
→ **A: Low**

7.2 TTL Open Collector Schaltung



Open Collector

Ausgänge verwendet man zum **Treiben von Lasten** wie LED, Lampen, Relais gegen U_B

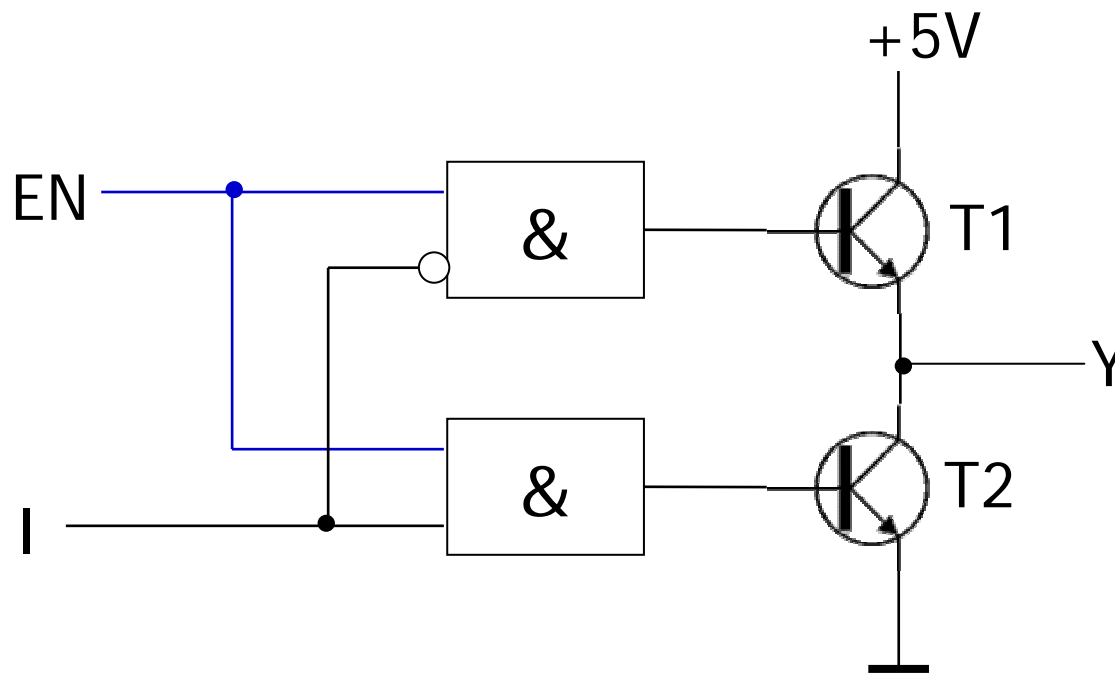


Sperrt T3, sorgt **Pull-Up-Widerstand** R_{PU} für definierten H-Pegel

„**Wired-AND/OR**“ mit **Open Collector** Ausgängen

7.3 TTL Tri-State Ausgangsschaltung

Ein Tri-State Ausgang kann neben den logischen Pegeln H und L auch noch den Zustand X=„Hochohmig“ annehmen.



- EN = High
 $Y = \neg I$
Schaltung arbeitet als Inverter
- I=Low, AND1=H
T1 offen $\rightarrow Y = H$
- I=High, AND2=H
T2 offen $\rightarrow Y = L$
- EN = Low
beide Tr. sperren
 $\rightarrow Y = \text{hochohmig}$

Wichtige Anwendungsfälle von **Tri-State-Schaltungen** sind, wenn mehrere Gatterausgänge zusammengeschaltet sind und wahlweise eines dieser Gatter den logischen Zustand bestimmen sollen. \rightarrow **Bussysteme**

7.4 CMOS-Technologie

Die CMOS-Technik (Complementary Metal Oxide Semiconductor) verwendet MOS Feldeffekt-Transistoren (FET).

Es gibt sechs verschiedene Typen von FET. Mit der Steuerelektrode (Gate G) lässt sich der Widerstand zwischen Drain D und Source S steuern, und zwar über die Steuer-Spannung U_{GS} zwischen G und S. Der Steuerstrom ist gegenüber den bipolaren Transistoren extrem gering.

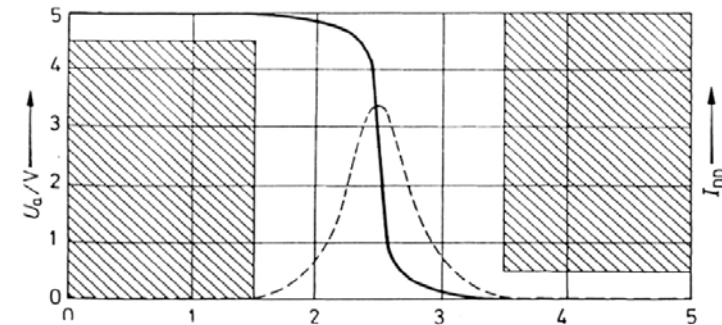
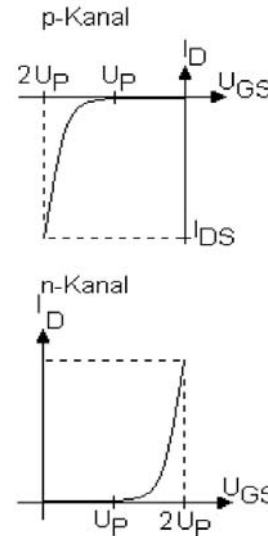
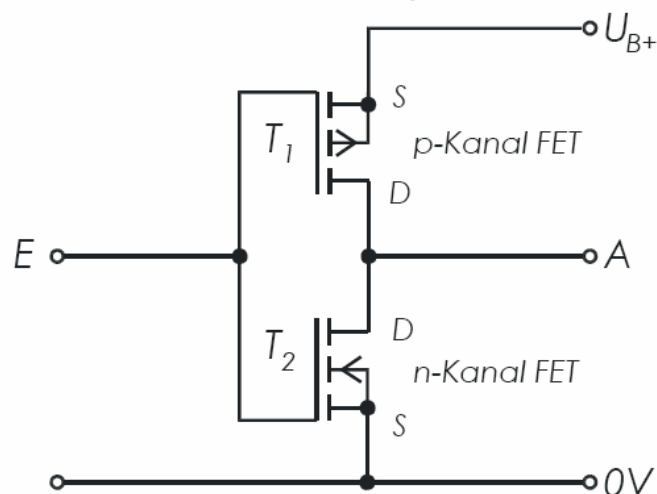
Es gibt **p-Kanal** und **n-Kanal** FET's. Sie verhalten sich zueinander spiegelbildlich, komplementär:

Ein **p-Kanal** MOSFET (*selbstsperrend, Enhancement-Typ*) **sperrt** bei $U_{GS} = 0$ und **leitet** bei $U_{GS} \leq U_p$.

Beim **n-Kanal** MOSFET ist es umgekehrt, er **sperrt** bei $U_{GS} = 0$ und **leitet** bei $U_{GS} \geq U_p$

7.4 CMOS-Technologie

Diese komplementären Eigenschaften sind ideal für die Realisierung von Gegentakt-Schaltungen:



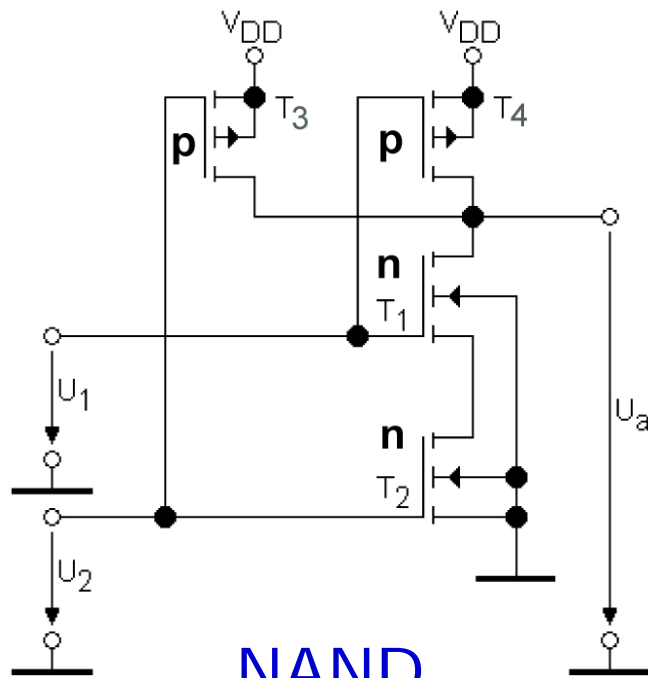
- $E = L, A = H$
 $T1: U_{GS} = -U_B \rightarrow T1$ leitet
 $T2: U_{GS} = 0 \rightarrow T2$ sperrt
- $E = H, A = L$
 $T1: U_{GS} = 0 \rightarrow T1$ sperrt
 $T2: U_{GS} = U_B \rightarrow T2$ leitet

→ **Inverter**

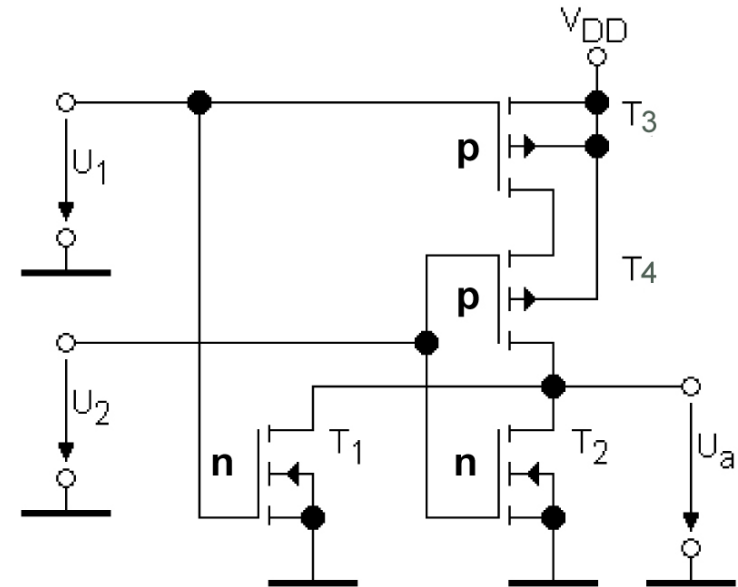
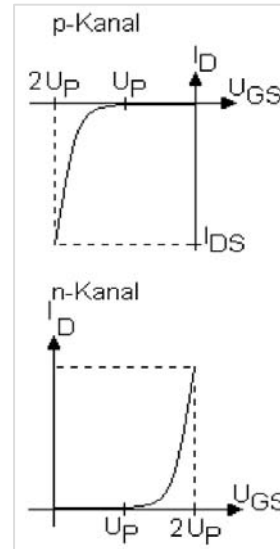
Umschaltpegel zwischen L und H liegt immer bei der halben Spannung U_B
 Während des Wechsels zwischen zwei Pegeln fließt kurzzeitig ein **Querstrom** durch beide Transistoren T1 und T2

→ **Verlustleistung** $\sim U_B^2 \times f$

7.4 NAND und NOR in CMOS-Technologie



NAND



NOR

U1	U2	T3∨T4	T1∧T2	Ua
L	L	an	aus	H
L	H	an	aus	H
H	L	an	aus	H
H	H	aus	an	L

U1	U2	T1∨T2	T3∧T4	Ua
L	L	aus	an	H
L	H	an	aus	L
H	L	an	aus	L
H	H	an	aus	L

7.4 Eigenschaften von CMOS-Schaltungen

- **Eingangswiderstand:** hoch, **Ausgangswiderstand:** niedrig. → hoher FanOut Faktor (Eingänge pro Ausgang)
- **Dynamisches Verhalten:** Im Moment des dynamischen Schaltens sind beide Ausgangstransistoren niederohmig, dies verursacht kurzzeitig einen hohen Querstrom.
→ Dies erzeugt Lastspitzen auf der Stromversorgung, erfordert sorgfältige Dimensionierung.
→ Der Versorgungsstrom bei CMOS-Schaltungen ist näherungsweise proportional zur Arbeitsfrequenz.
- **Latch-up:**
 - unbenutzte Eingänge müssen immer auf feste Spannung gelegt werden.
 - Eingangsspannungen dürfen nie < 0 oder $> U_B$ werden.

Andernfalls kann parasitärer Thyristor innerhalb der CMOS-Struktur gezündet werden und diesen durch Kurzschluss zerstören.

7.4 Statische Elektrizität bei MOS

MOS-Schaltungen sind extrem hochohmig und entladen intern statische Ladungen nicht. Bereits bei **statischer Aufladung >50V** gibt es **Zerstörungsgefahr**. Besonders tückisch ist, daß unsachgemäße Handhabung zu **Spätschäden** führen kann, die erst in der fertig montierten und ausgelieferten Schaltung bemerkbar werden (Frühausfälle).

Zur Handhabung solcher Technologien sind **MOS-Arbeitsplätze** mit leitendem Bodenbelag, Kontrolle der Luftfeuchtigkeit, Anschluß der handhabenden Personen an **Masse-Armbänder** etc. erforderlich.

7.4 Schutzschaltung bei CMOS (HS-Übung)

Den uns bereits bekannten CMOS-Schaltungen werden zusätzlichen Bauelemente D_1 - 3 und R_S hinzugefügt. Was bewirken diese?

Die Kapazität C_{GS} symbolisiert eine Kapazität (Wirkung eines Kondensators). Wie könnte sich diese auf die Schaltung auswirken?

Um wieviel reduziert sich Verlustleistung beim Übergang von 5V auf 3.3V Versorgungsspannung?

