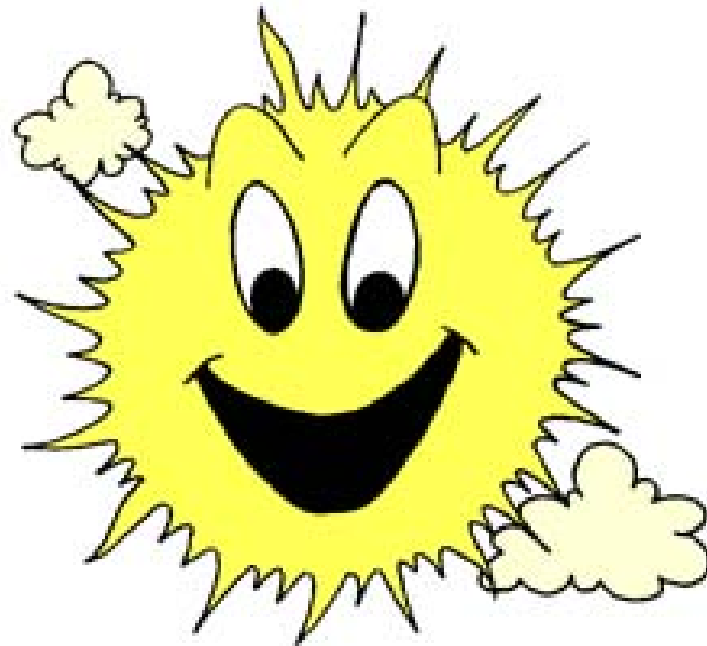
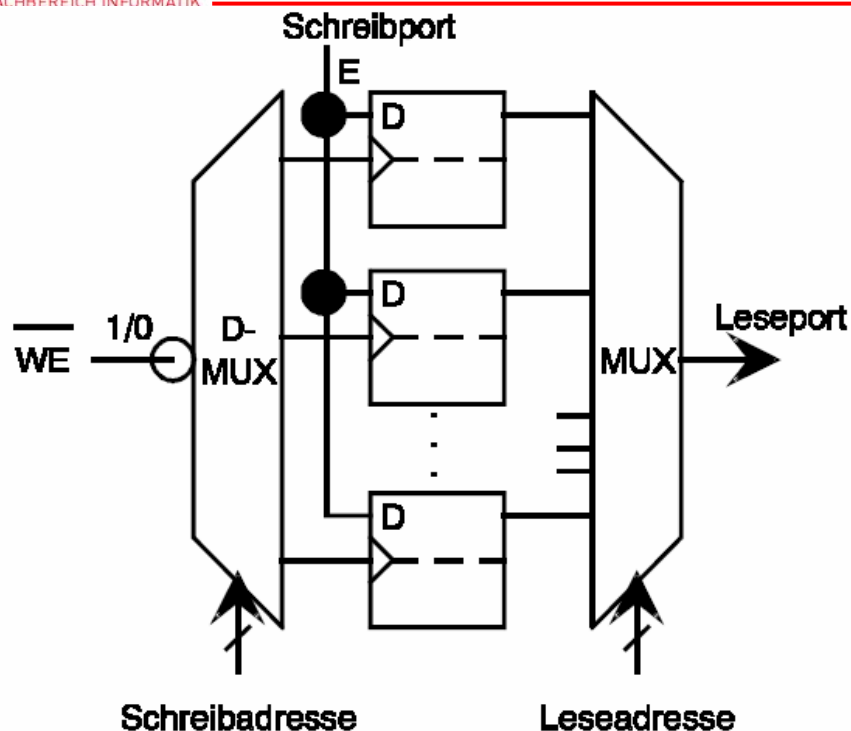


Wiederholung der 7. Vorlesung



16.2 Prinzipieller Aufbau eines SRAM

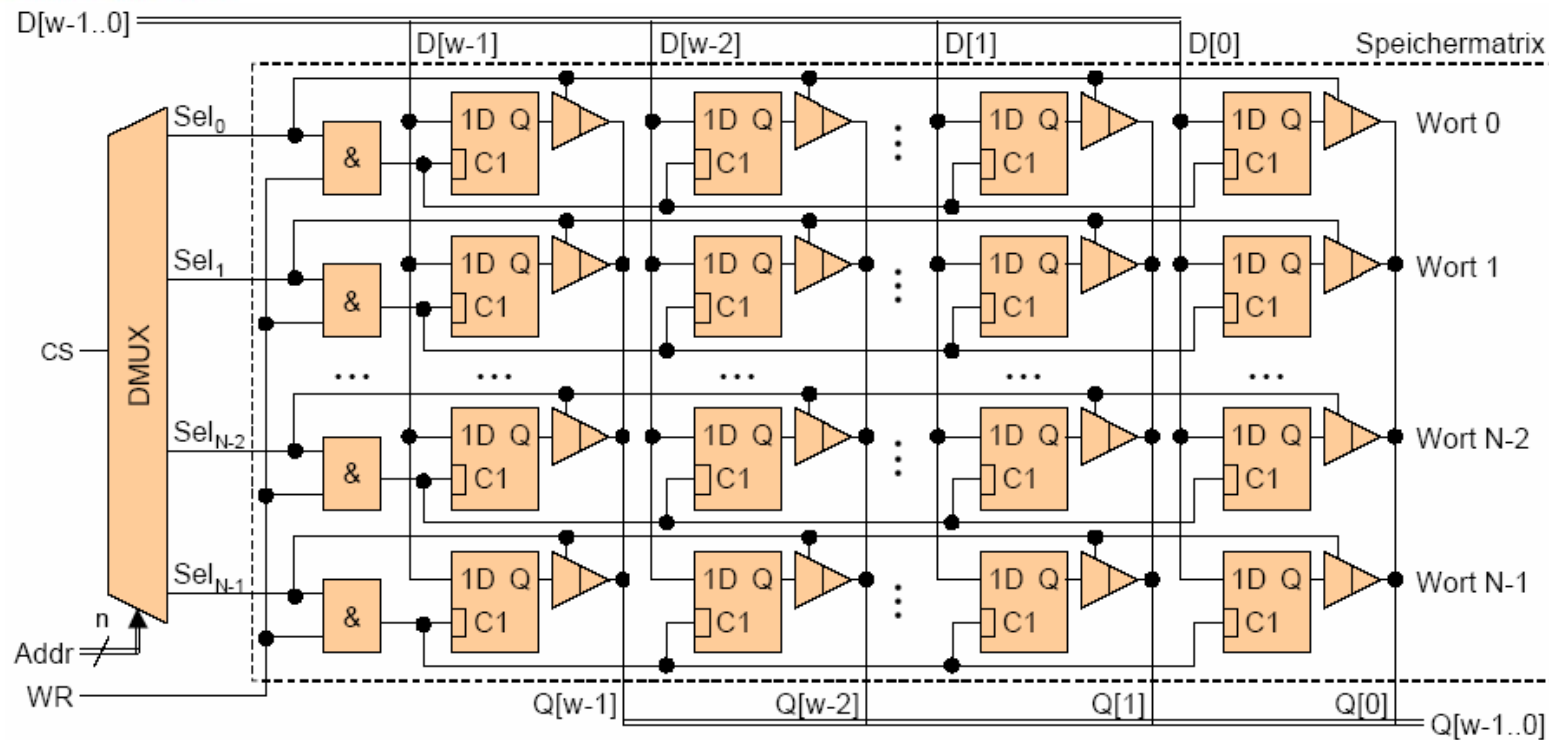


- Adressierung einzelner Bits über Schreib- bzw. Leseadresse
- Schreiben mit $\neg WE$

- Reale Speicher sind in Worten organisiert (Worte und Spalten)
- Der Multiplexer am Ausgang wird durch Tri-State-Treiber ersetzt.

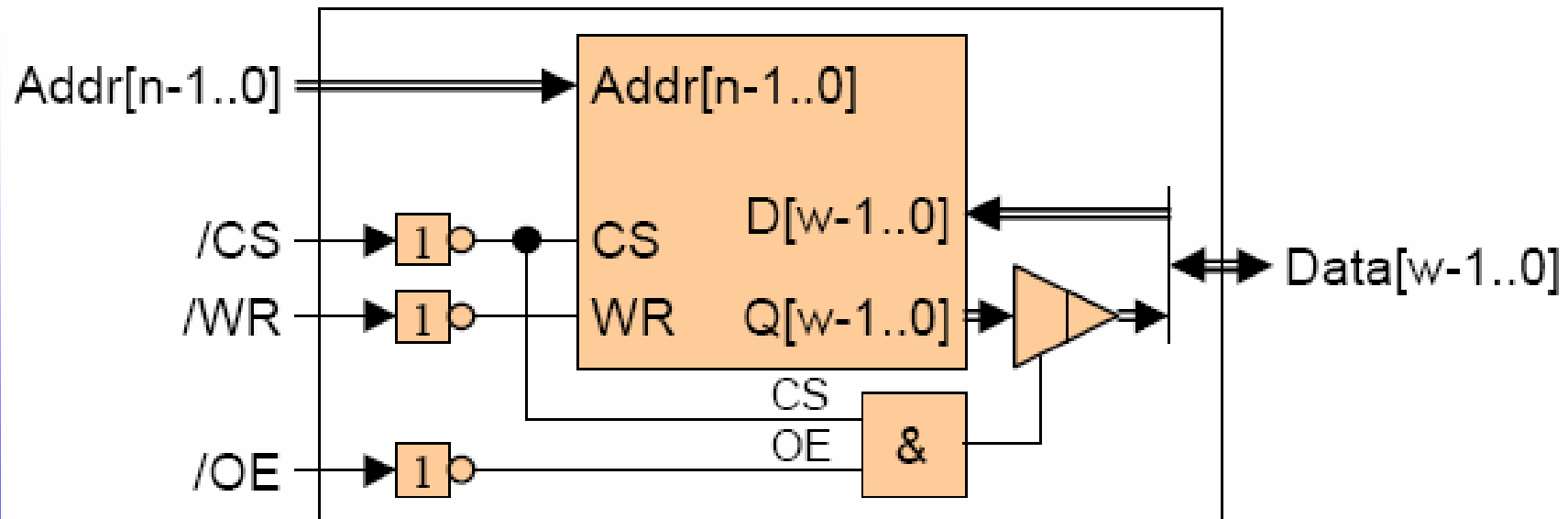
→ nächste Folie

16.2 SRAM - Speicher



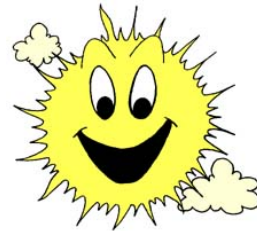
- Ganze Worte können adressiert werden
- Ausgänge werden durch Tri-State-Treiber realisiert.

16.2 Struktur realer Speicherbausteine

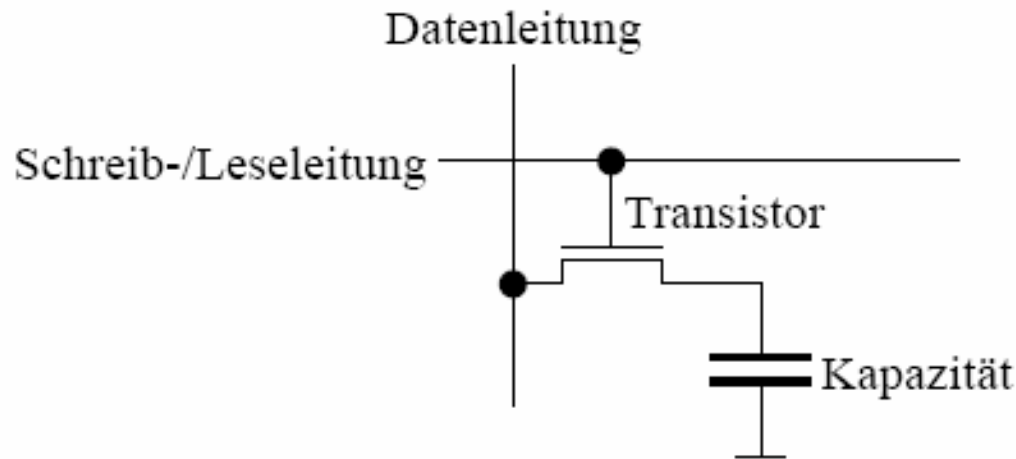


- Dateneingang und Ausgang werden auf demselben Pins geführt, daher ist weiteres Steuersignal, **OE = Output Enable**, nötig, das den Tri-State-Zustand des Datenausgangs steuert
- **CS** (**C**hip **S**elect) wählt den Baustein aus.
- **WR** (**W**rite) wählt zwischen Schreiben und Lesen
- Alle **Steuereingänge** sind üblicherweise **invertiert**.

Ende der Wiederholung

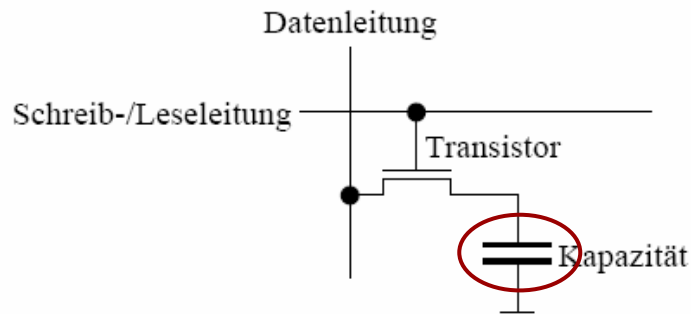


16.4 Prinzip dynamischer RAM's



- SRAMS sind schnell, aufwändig und daher teuer.
 - DRAM (**D**ynamic **R**AM) sind einfacher aufgebaut.
-
- Je Speicherstelle wird eine Kapazität (Kondensator) wird geladen oder entladen und damit sein logischer Zustand gespeichert.
 - Ein Transistor wählt als Schalter die Speicherstelle über die Schreib-/Leseleitung aus.
 - Kapazität und Transistor werden in Halbleiterstrukturen realisiert.

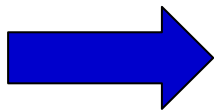
16.4 Auffrischen bei DRAM's



- **Kapazität** ist nicht perfekt
 - Leckströme führen zur langsamen Entladung des Kondensators
 - ➔ Verlust der Speicherinformation
-
- Je Speicherstelle muss daher in regelmäßigen Abständen (2 – 16 ms) aufgefrischt werden. Um Informationsverlust zu vermeiden.
 - Dabei wird jede Zelle gelesen und sofort erneut wieder geschrieben.
 - Beim Refresh (Auffrischen) bleibt der gespeicherte logische Wert unverändert.
 - Beim Lesen wird Speicherinhalt zerstört. Er muss daher sofort wieder erneut geschrieben werden.

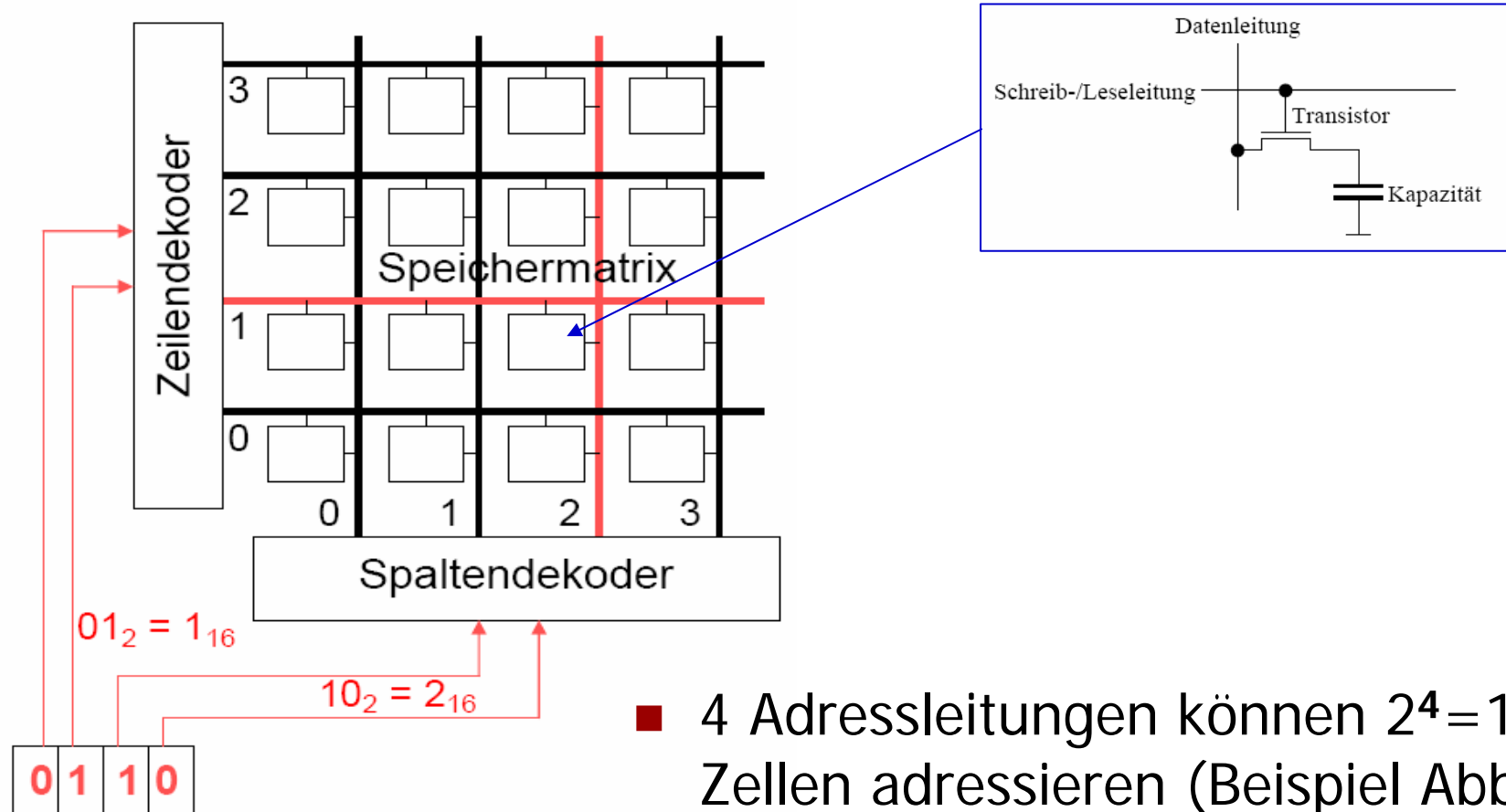
16.4 Zeitbedarf beim Auffrischen DRAM

- 1 M bit DRAM, 512 Zeilen
- 512 Refresh-Zyklen alle 8 ms
- Zykluszeit für den Refresh: 0.2 us
- Zeitbedarf Refresh:
 $512 * 0.2 \text{ us} = 0,1024 \text{ ms}$



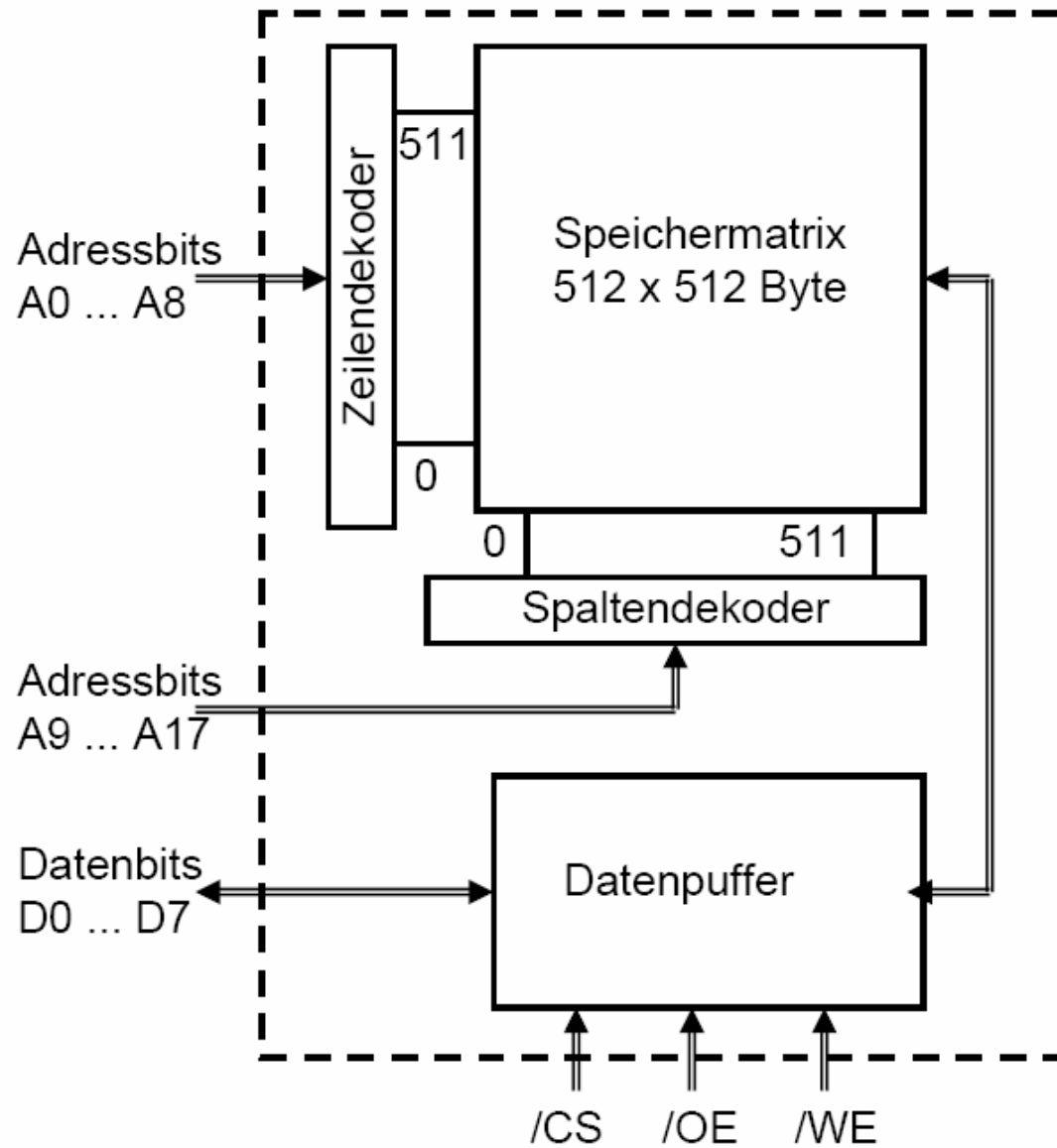
ca. 1.3% der Betriebszeit
für Refresh

16.4 Architektur von DRAM's



- 4 Adressleitungen können $2^4 = 16$ Zellen adressieren (Beispiel Abb.)
- Adresse wird aufgeteilt in
 - Zeilenadresse
 - Spaltenadresse

16.4 Architektur von DRAM's (2)



16.4 DRAM-Typen

- **SDRAM** (Synchronous Dynamic RAM) wird **mit einem Taktgeber synchronisiert**, der vom CPU-Takt abgeleitet ist. Alle Schreib- und Lesevorgänge werden von der steigenden Flanke dieses Taktes ausgelöst.
- **DDR-SDRAM** (Double Data Rate) ist eine schnellere Variante des SDRAM. Die Daten werden **mit der steigenden und der fallenden Taktflanke** gelesen oder geschrieben, wodurch sich die **Datenrate** des Speicherchips **verdoppelt**. Dazu wird der in einem Chip befindliche Speicher in mehrere Bänke aufgeteilt, die abwechselnd ausgelesen werden (Speicherverschränkung).
- **RDRAM** ist eine spezielle Entwicklung der Firma Rambus. Daten werden aus vielen Bänken **parallel gelesen** und dann über einen Multiplexer auf den Datenausgang schaltet. Z.B. können aus 8 Bänken gleichzeitig 8 Byte gelesen werden. Das entspricht dann der 8-fachen internen Lesegeschwindigkeit.

16.4 DRAM Geschwindigkeit

Voraussichtliche Entwicklung der DDR-Speicher			
DDR-RAM Typ	Takt-frequenz	Band-breite	Einfüh-rung im Jahr
PC 5400	333 MHz	5,5 GB/s	2005
PC 4300	266 MHz	4,3 GB/s	2004
PC 3200	200 MHz	3,2 GB/s	2003
PC 2700	166 MHz	2,7 GB/s	2002
PC 2100	133 MHz	2,1 GB/s	2000

Berechnungsbeispiel:

133 MHz x 8 Byte x 2 Zugriffe/Takt

➔ 2,1 GB/s

16.5 EEPROM

Elektrisch lösch- und programmierbare ROM (EEPROM):

- Der Baustein kann für den Löschvorgang in der Schaltung verbleiben.
- Für den Löschvorgang wird eine Spannung von ca. 20 Volt benötigt.
- Für Programmierung und Löschung wird der Tunneleffekt ausgenutzt.
- Jedem Schreibvorgang wird ein Löschvorgang vorgeschaltet.
- Der Schreibvorgang für ein Byte benötigt ca. 10 ms.
- Anzahl von Lösch-/Schreibzyklen: ca. 10000
- Speicherdauer: mindestens 10 Jahre

16.6 Flash-Speicher

- Weiterentwicklung der EEPROMs.
- Im Fall des Flash-Speichers wird im Unterschied zu EEPROMS der Speicher blockweise (!) gelöscht.
- In ersten Realisierungen wurde der Speicher mit einem Flash (Blitz) vollständig gelöscht.
- Ein Block umfasst ca. 0,5 KB – 128 KB.
- Der direkte Zugriff auf einzelne Bytes ist prinzipiell nicht möglich. Dies entspricht dem Prinzip von Massenspeichern, die eine typische Blockgröße von 512 Byte haben.

16.6 Moderne Flash-Speicher

	Lesen/Schreiben (nominell)	Lesen/Schreiben (gemessen)	Vorstellung	Kapazität
Memory Stick Pro	20/20 MB/s	1,4/1,0 MB/s	2003	512 MB (4 GB)
CompactFlash (CF)	8/8 MB/s	2,5/2,5 MB/s	1994	6 GB (8 GB)
SecureDigital Card (SD)	12,5/12,5 MB/s	7/3 MB/s	2000	1 GB (2 GB)
USB-2.0-Stick	60/60 MB/s	6/5 MB/s	2000	4 GB
MultimediaCard (MMC)	2,5/2,5 MB/s	1,6/1,6 MB/s	1997	512 MB (2 GB)

Quelle: c't 11/2004 + **aktuelle Informationen**

16.7 Neue nicht flüchtige Speicher

- MRAM (Magnetoresesestive RAM): Speicherung erfolgt über zwei Magnetplättchen, aktuell aussichtsreichster Kandidat für die Nachfolge DRAMs
- F(e)RAM (Ferro Electric): ferroelektrisches Prinzip, Information wird mit Kondensatoren gespeichert

16.5 Neue nicht flüchtige Speicher (2)

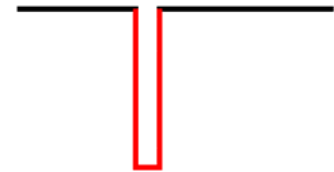
Eigenschaften	SRAM	DRAM	EE- PROM	FLASH	FRAM/ MRAM
Nichtflüchtig	nein	nein	ja	ja	ja
kleine Zellenmaße	nein	ja	nein	ja	ja
Wortweise les-/schreibbar	ja	ja	ja	nein	ja
geringer Leistungsbedarf	ja	ja	nein	nein	ja
schneller Schreibzugriff	ja	ja	nein	nein	ja
10 ¹⁵ Schreibzyklen	ja	ja	nein	nein	ja
Kostengünstig	nein	ja	nein	ja	ja

12. Hazard-Typen

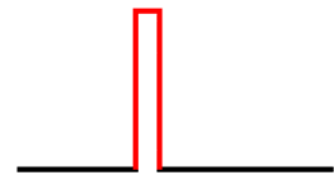
erwartet

gestört

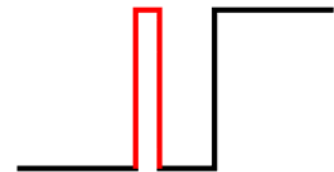
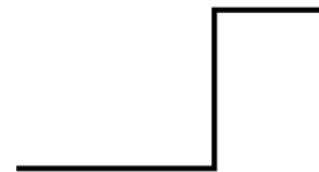
negativer statischer Hazard



positiver statischer Hazard



dynamischer Hazard



12. Entstehung von Hazards

- Unterschiedliche Laufzeiten von Signalen in der Schaltung, die später kombiniert werden.
- Als **gleichzeitig angenommene** Signal-Änderungen werden **real zeitversetzt** ausgeführt.

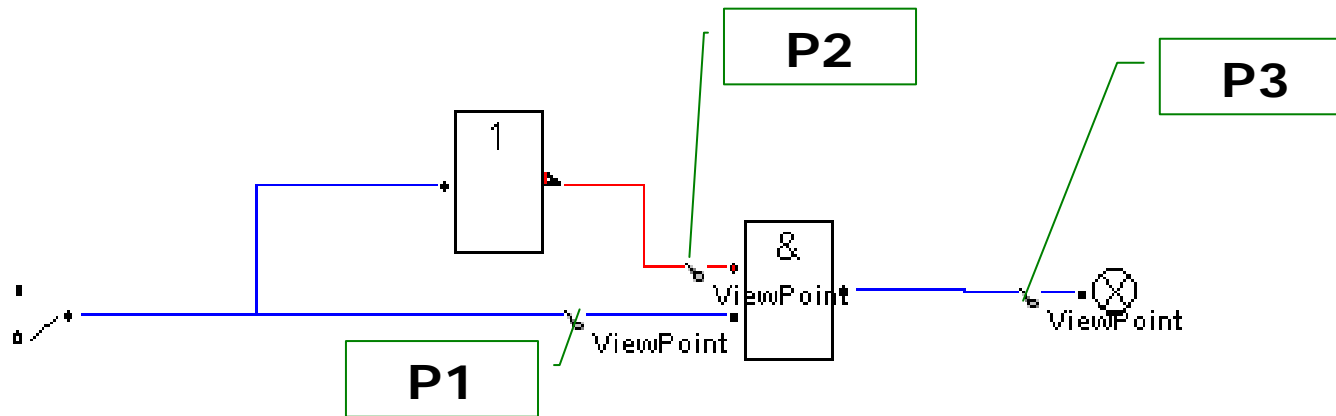
Man unterscheidet:

1. Logik-Hazards
2. Funktions-Hazards

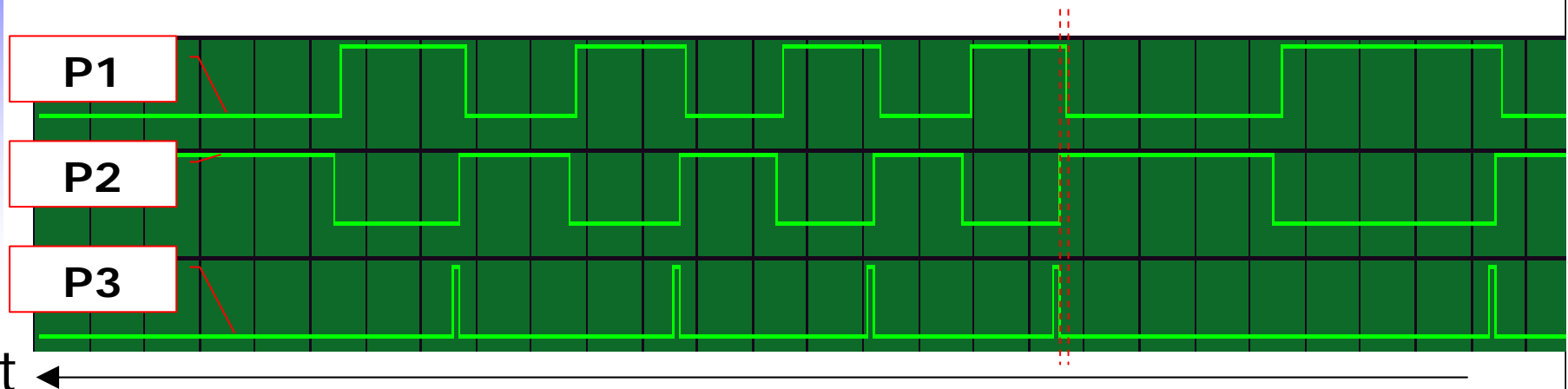
12.1 Logik-Hazards

- Ein Eingangssignal verzweigt in der Schaltung.
- In einem Gatter werden die zuvor verzweigten Signale wieder kombiniert.
- Wenn auf den unterschiedlichen Signalpfaden unterschiedliche Laufzeiten benötigt werden, kann es zu Störimpulsen kommen.

Beispiel für Logik-Hazard

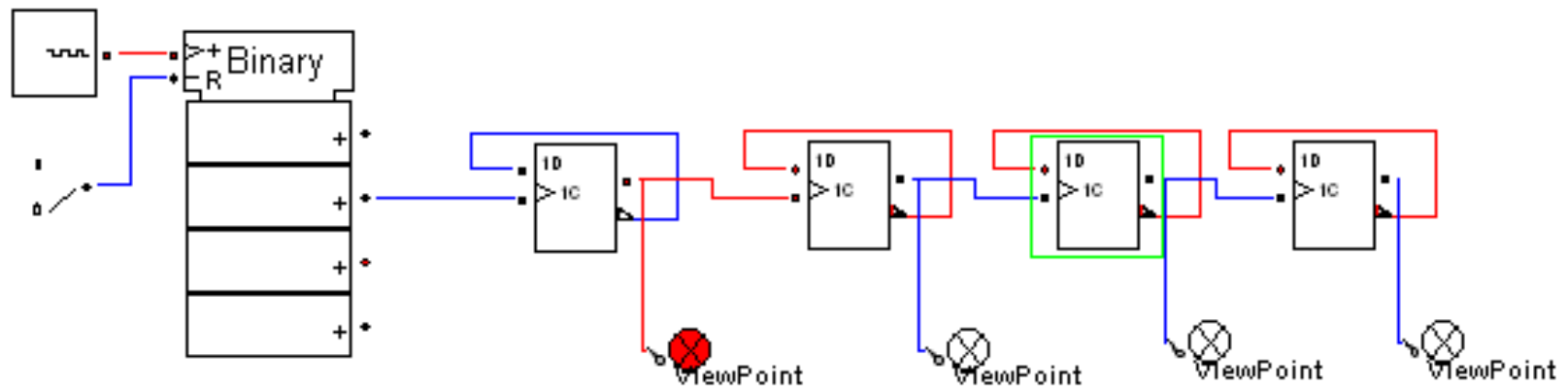


Test mit Digitalsimulator: Aus der Logik der Verknüpfung müsste Ausgang (P3) stets auf Low bleiben. Durch **Laufzeit**unterschiede entsteht jedoch ein Hazard.



Empfohlene Hausaufgabe

Untersuche Sie mit dem Digitalsimulator
einen Asynchronen Zähler



Binärzähler dient als Frequenzteiler für den Taktgenerator