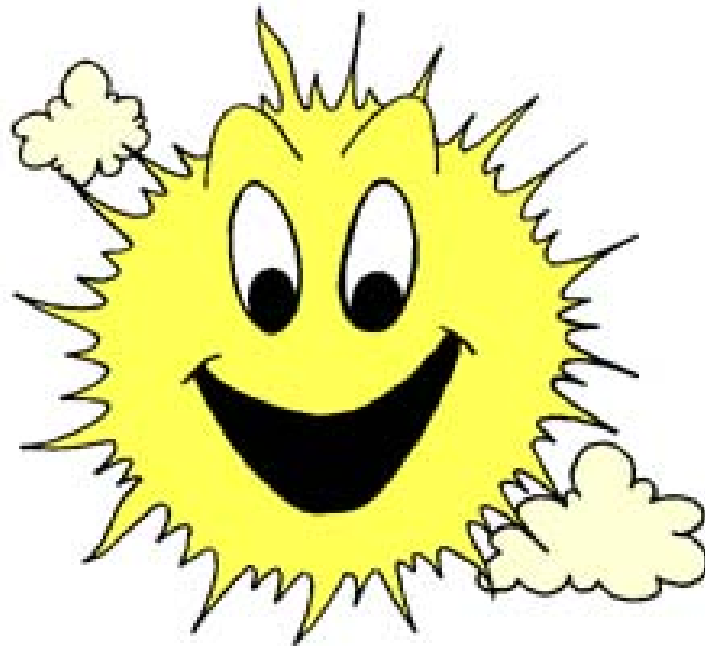


# Wiederholung der 3. Vorlesung

---



# Markieren stabiler Zustände (z.B D-FF)

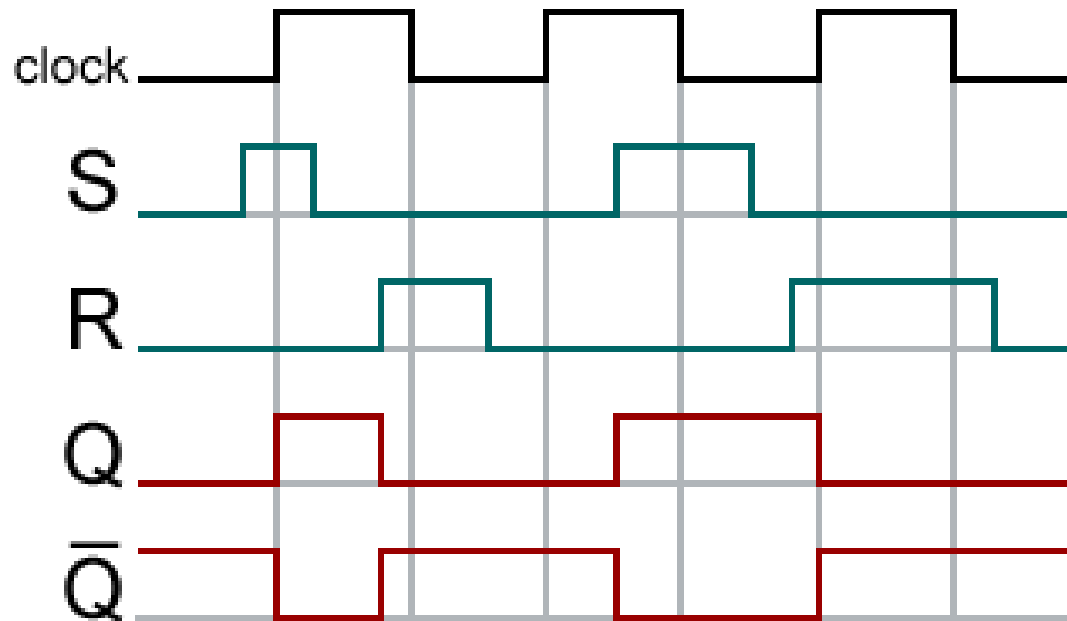
G	D	Q*	Q
0	0	0 = 0	
0	0	1 = 1	
0	1	0 = 0	
0	1	1 = 1	
1	0	0 = 0	
1	0	1	0
1	1	0	1
1	1	1 = 1	

Q (D-FF)		Q*	Q*
	0	1	0
D	0	1	1
		G	G

Zustände sind stabil, wenn  $Q = Q^*$ :

- Diese können in der Wahrheitstafel identifiziert werden, und/oder
- Im KV-Diagramm, wenn  $Q^*$  gleich dem Wert im Diagramm

## 10.1 Impulsdiagramm SR-Flipflop



### Impulsdiagramm des SR-FF

*Solche Diagramme findet man beispielsweise in Datenblättern*

## 10.1 Betrachtung zu pegelgesteuerten FF's

---

Sollen Daten am Eingang zuverlässig übernommen werden, müssen beim pegelgesteuerten Flipflop die Eingangswerte absolut stabil sein, solange das FF durch den Taktpegel geöffnet ist.

Die neuen Daten werden sofort (d.h. mit der spezifischen Laufzeitverzögerung) an die Ausgänge durchgereicht.

Beide Tatsachen können zu Problemen führen, bzw. bei der Realisierung von Schaltungen zusätzlichen Aufwand nach sich ziehen.

## 10.1 Flankengesteuerte FF

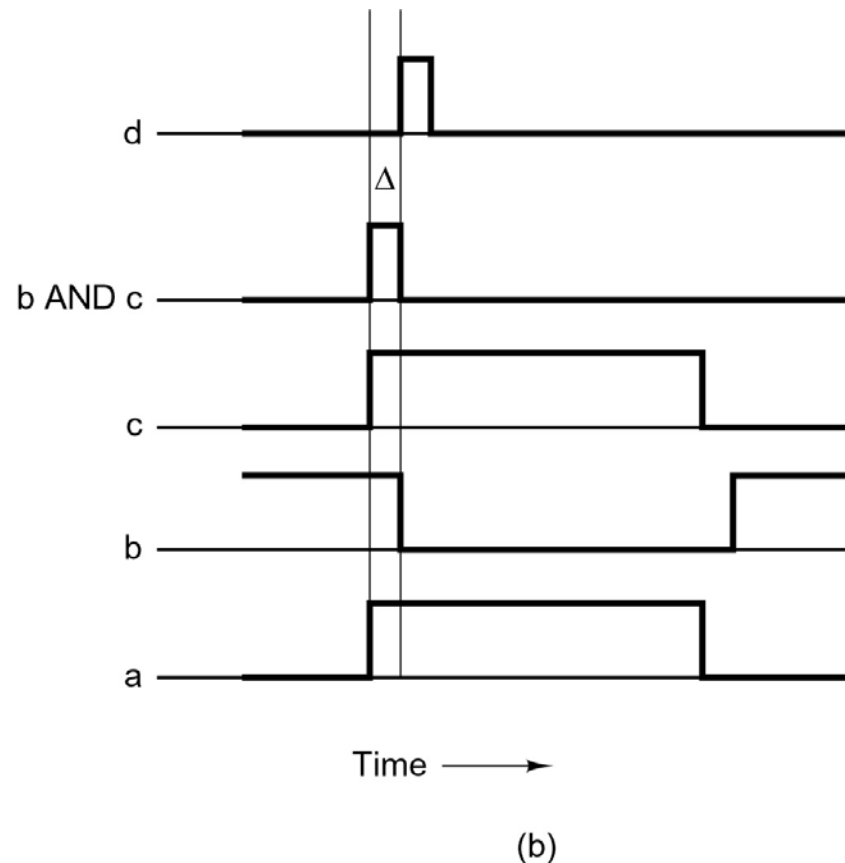
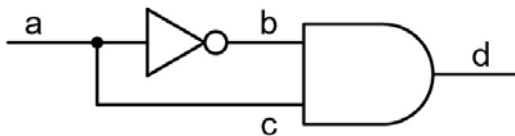
---

Eine Lösung ist Flanken- statt Pegelsteuerung:

- Daten werden mit der ansteigenden oder abfallenden Flanke des Steuersignals übernommen.
- Die Übernahme der Eingangsdaten erfolgt zu einem sehr kurzen und exakt definierten Zeitpunkt.
- FF, welche die Daten übernehmen
  - mit der ansteigenden Flanke, heißen **positiv flankengetriggert**
  - mit der abfallenden **negativ flankengetriggert**

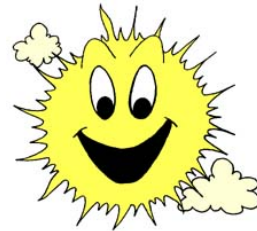
## 10.1 Flankengesteuerte FF (2)

Die Realisierung aus unseren pegelgesteuerten FF ist mit einem einfachen Impulsglied einfach zu erreichen:  
Eine Lösung haben wir in DT1 bereits kennen gelernt:



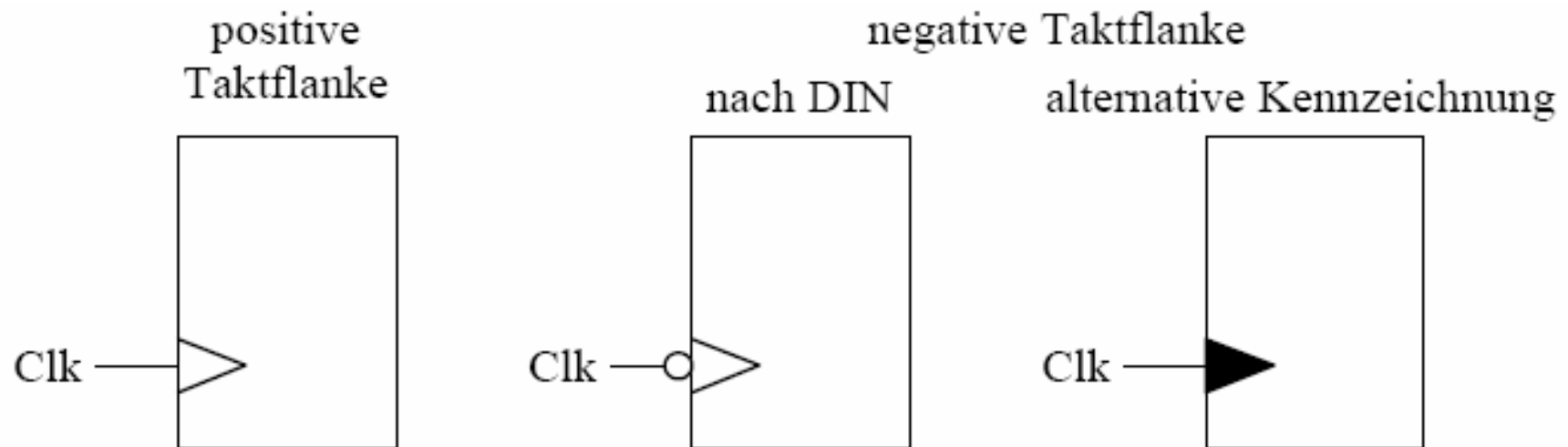
# Ende der Wiederholung

---



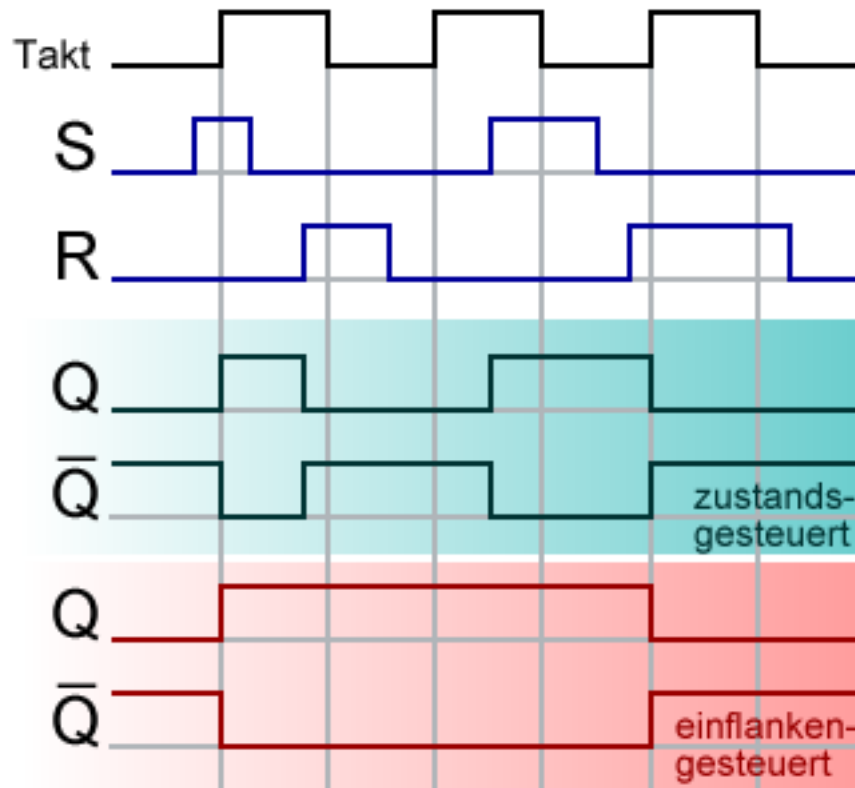
## 10.1 Flankengesteuerte FF (3)

Geben wir den Takt (T, Clk) auf Eingang a und Ausgang d auf den Eingang T des pegelgesteuerten FF, haben wir bereits eine Lösung für ein vorderflankengesteuertes (= positiv flankengetriggertes) Flipflop.



Symbole für flankengesteuerte („getriggerte“) Flipflops

# 10.1 Impulsdiagramm SR-Flipflop



T	S	R	Q	Reaktion
0,1	0	0	$Q^*$	keine
0,1	0	1	$Q^*$	keine
0,1	1	0	$Q^*$	keine
0,1	1	1	$Q^*$	keine
↑	0	0	$Q^*$	speichern
↑	0	1	0	Reset
↑	1	0	1	Set
↑	1	1	-	verboten

In Wertetabellen wird der **Takteingang** im Fall der Flankensteuerung häufig mit ↑ für positive, und ↓ für die negative Flanke bezeichnet

# 10.1 T-Flipflops und JK-Flipflops

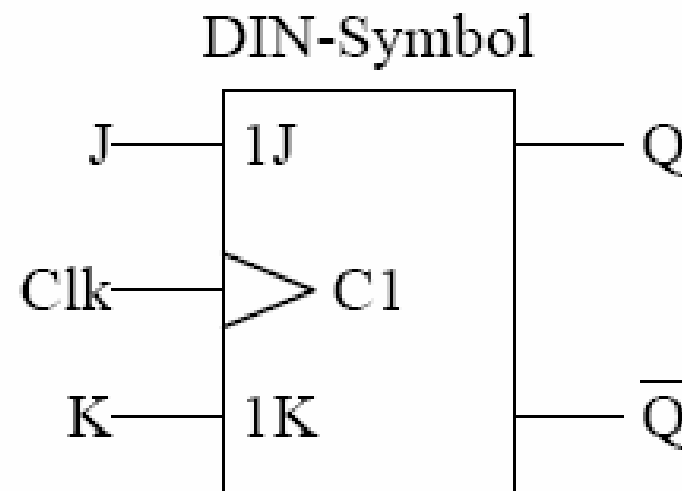
- T-Flipflops ändern bei jedem Takt ihren Wert.

*Wie kann man ein solches FF realisieren?*

T	Clk	Q
-	0	Q*
0	↑	Q*
1	↑	Q*
-	1	Q*

- JK-Flipflops sind vielseitig einsetzbare FF. Bei S=R=1 wechseln sie im Gegensatz zu den SR-FF (dort verboten) bei jedem Takt ihren Wert.

J	K	Clk	Q
-	-	0	Q*
0	0	↑	Q*
0	1	↑	0
1	0	↑	1
1	1	↑	Q*
-	-	1	Q*



## 10.1 Master-Slave – Flipflop

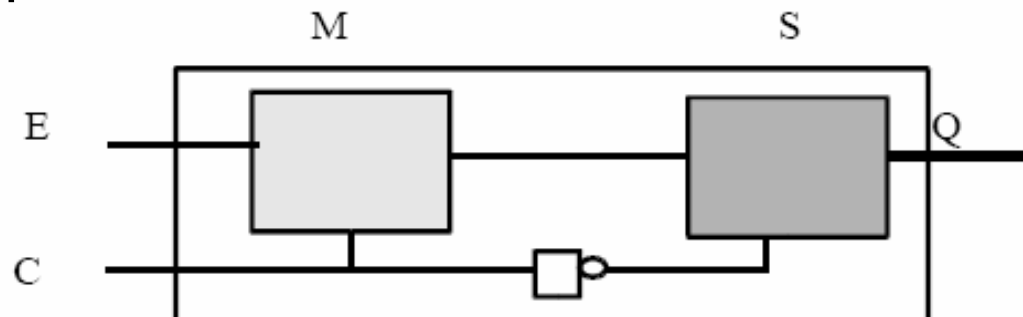
Ein eigentliches Flip-Flop (nichttransparentes Flip-Flop) unterscheidet sich von einem Latch dadurch, daß sich der Zeitpunkt der Übernahme der Eingangswerte von dem des Ausgangsübergangs unterscheidet.

Es gibt zwei Zeitintervalle:

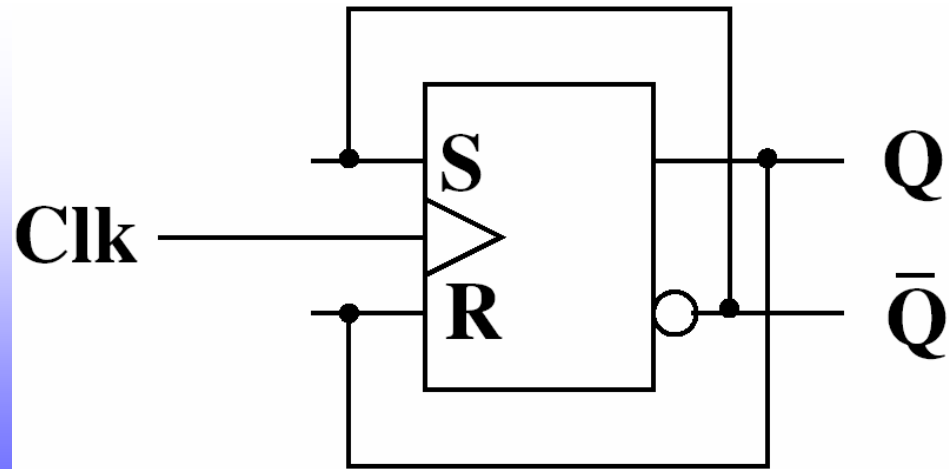
- Übernahme des Eingangssignals
- Zustandsänderung am Ausgang

Beide Intervalle dürfen sich nicht überlappen.

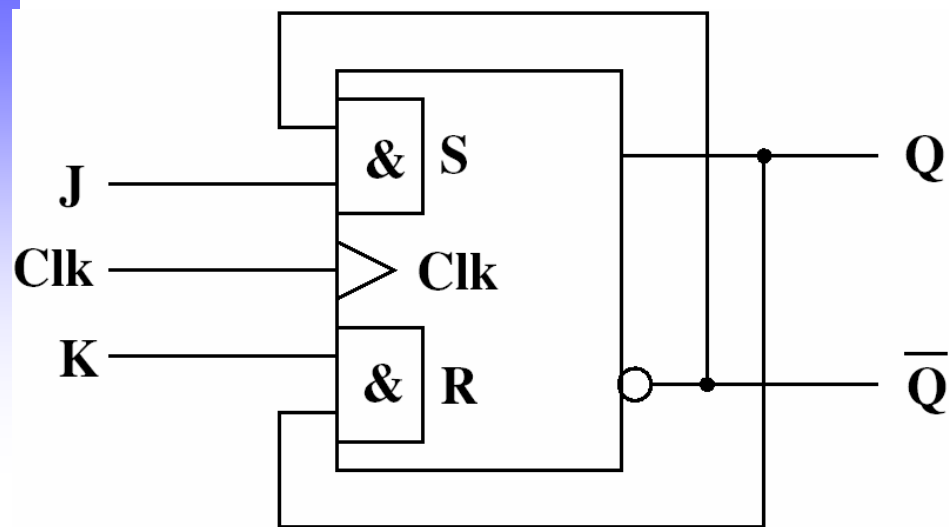
Dies Verhalten läßt sich durch das Master-Slave-Prinzip (Vorspeicher-Verhalten) erreichen.



# 10.1 T-Flipflop und JK-Flipflop

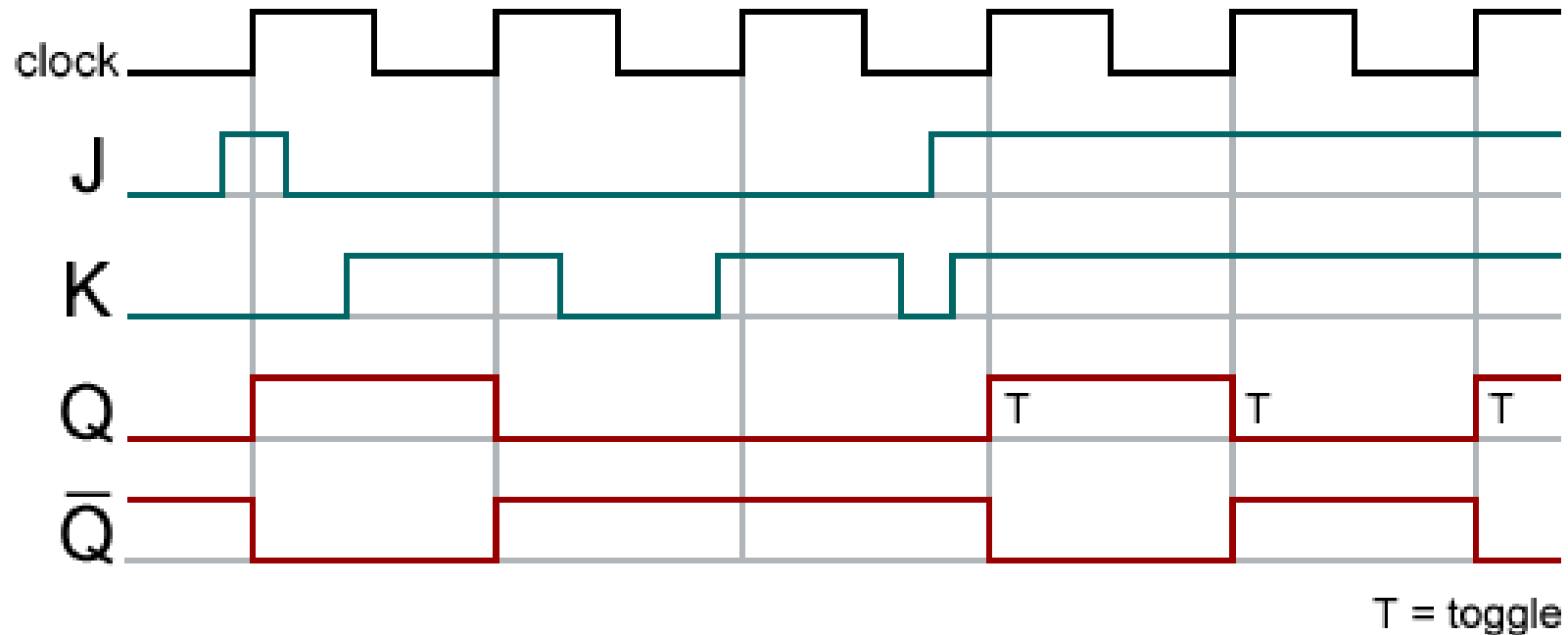


T-Flipflops aus  
 flankengesteuertem  
 RS-FF



JK-Flipflops aus  
 flankengesteuertem  
 RS-FF und AND

## 10.1 Impulsdiagramm JK-Flipflop



Impulsdiagramm des flankengesteuerten JK-Flipflops.

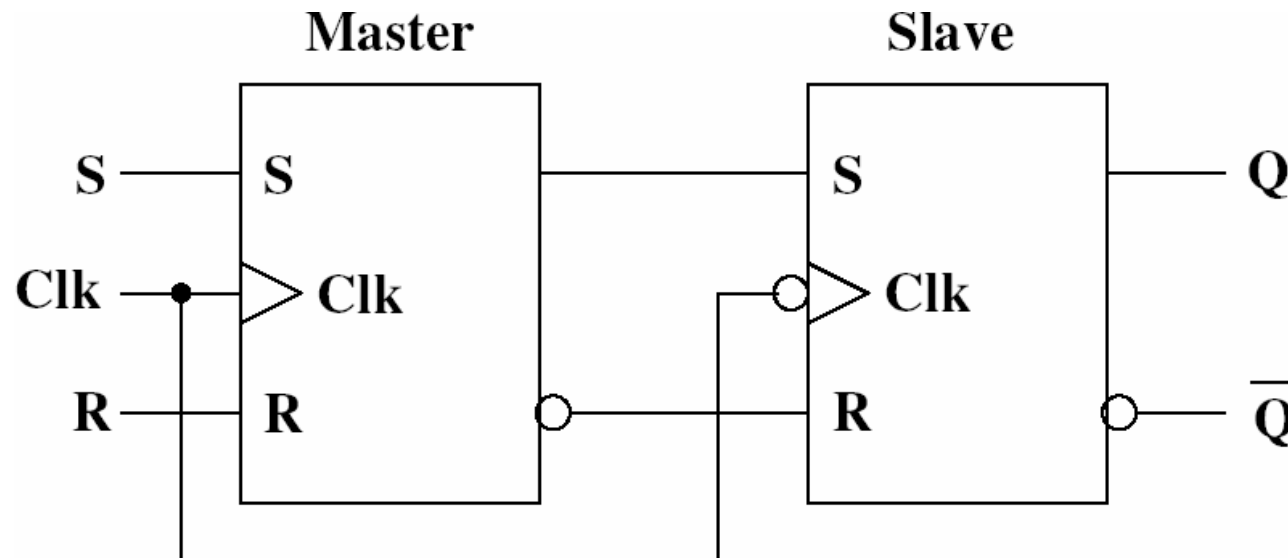
J=K=1 bewirken ein „Toggeln“ (Hin- und Herschalten) des Zustands bei jeder positiven Taktflanke:  $Q(t) = \neg Q(t-1)$

## 10.1 Master-Slave – Flipflop

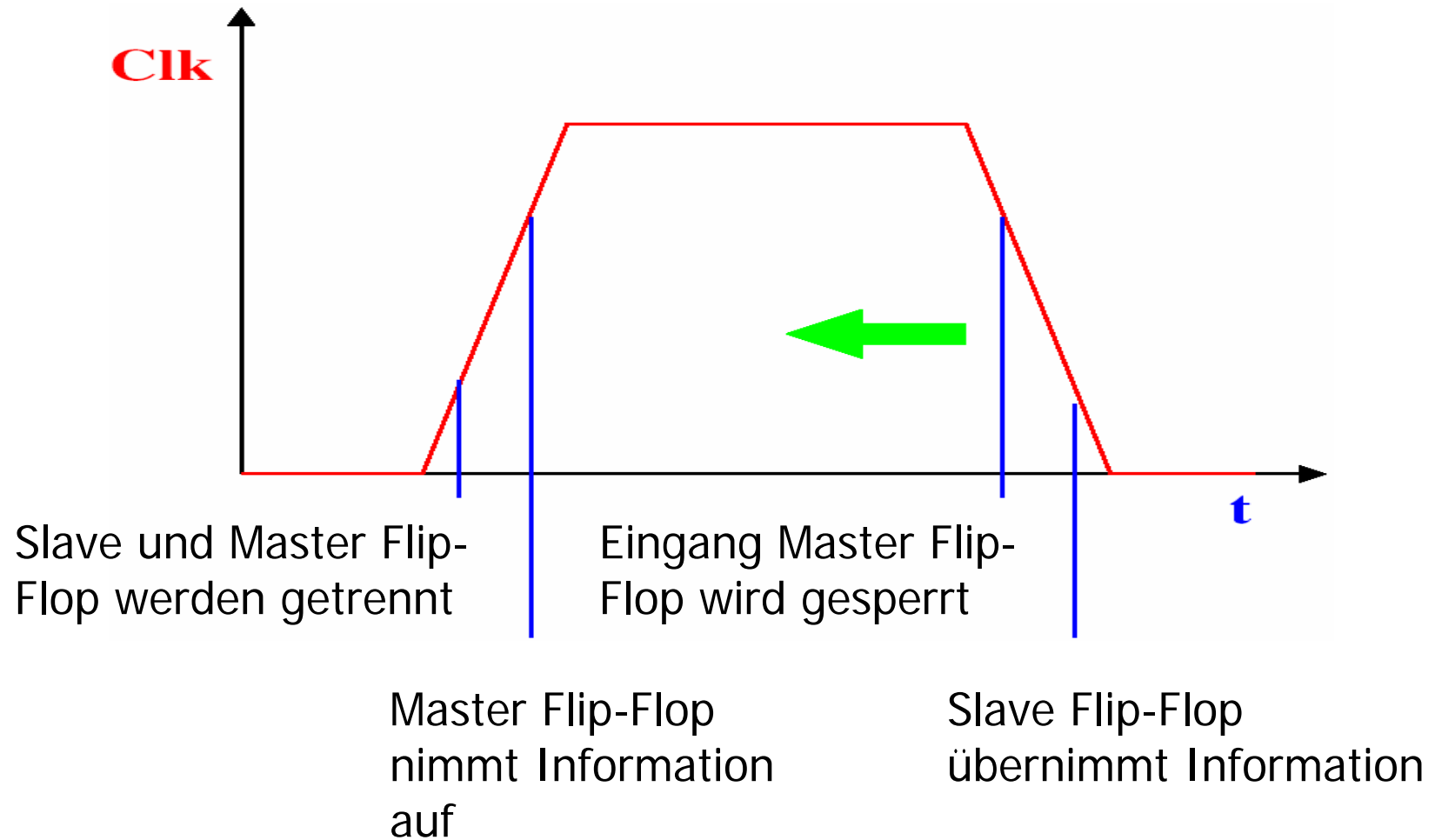
Zeitliche Trennung der Übernahme der Eingangsdaten von der Ausgabe am Ausgang.

Es gibt zwei Zeitintervalle:

- Übernahme der Eingangsdaten in den Master
- Übernahme vom Master in den Slave mit Zustandsänderung am Ausgang

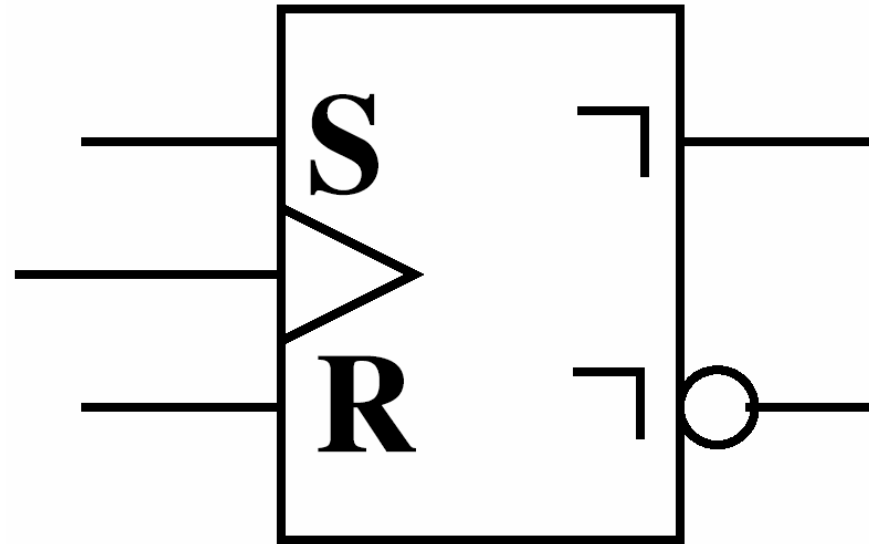


# 10.1 Master-Slave-Flipflop – Timing



Diese Art Master-Slave-Flipflop nennt man **zweiflankengesteuert**

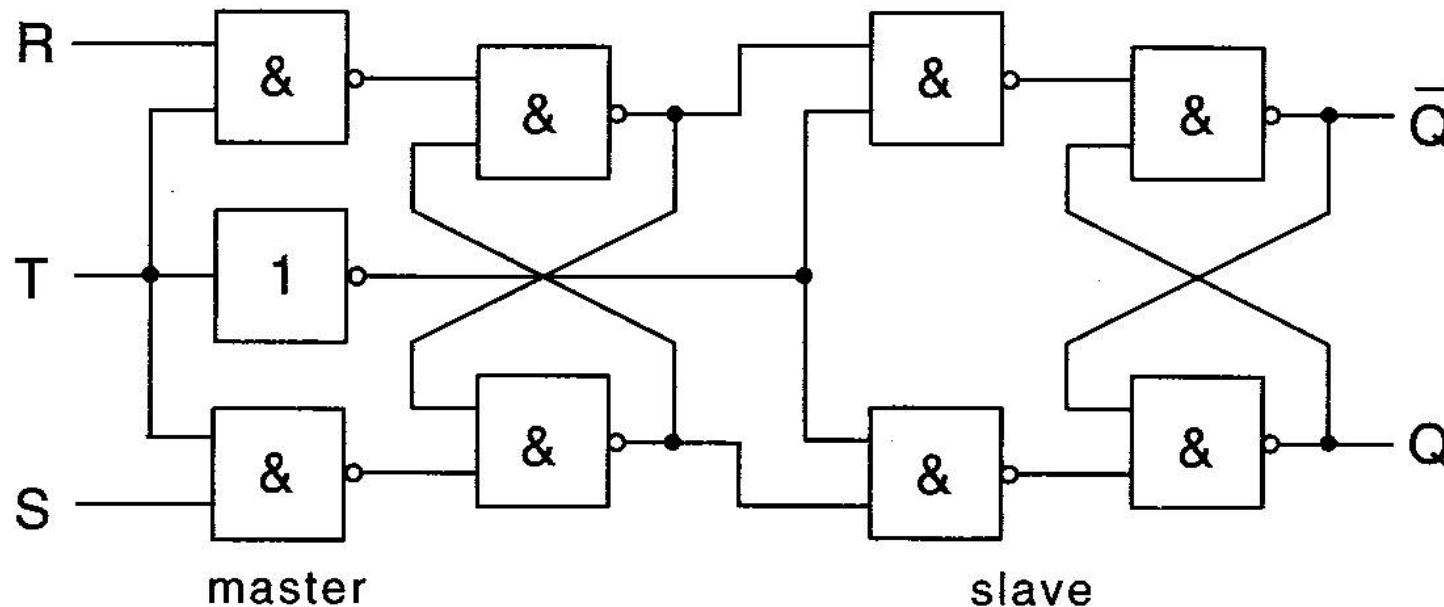
## 10.1 Schaltsymbol des Master-Slave-FF



Schaltsymbol für Master-Slave-Flip-Flop, nach der negative Taktflanke steht die Information am Ausgang zur Verfügung.

Der Haken symbolisiert den retardierten (verzögerten) Ausgang.

## 10.1 Realisierung des RS-MS-FF



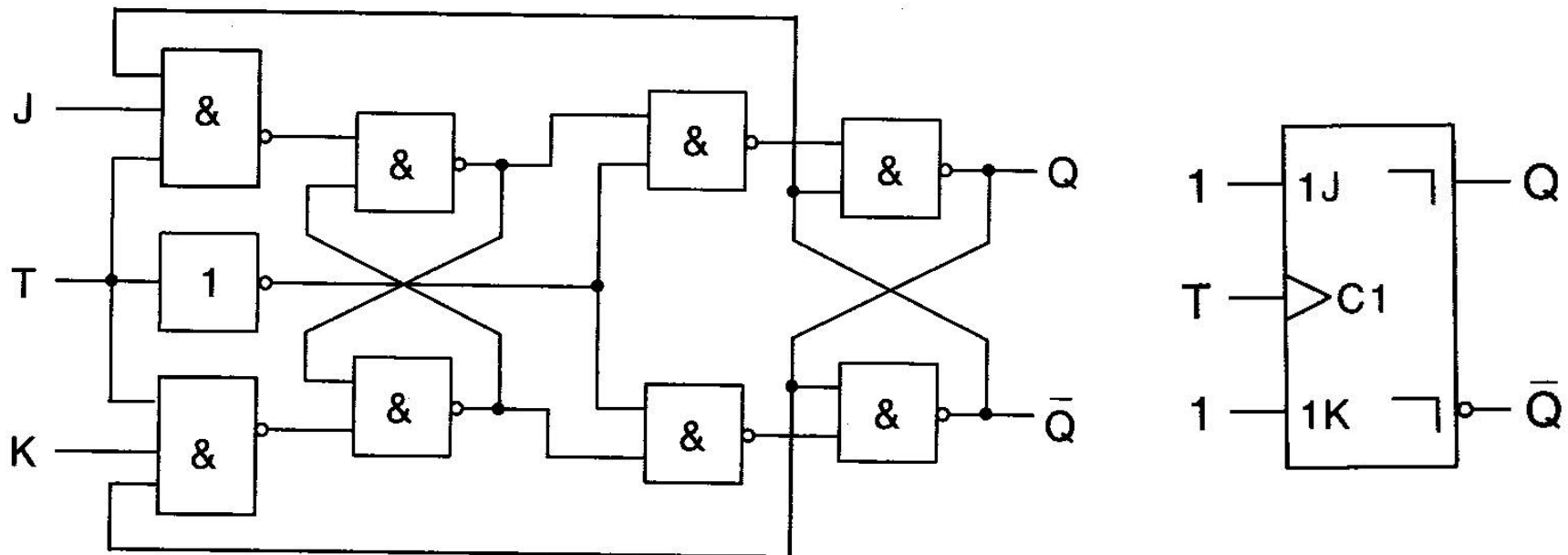
### Hörsaalübung:

- FF soll einen Preset- und Clear-Eingang erhalten, d.h. FF soll ohne Taktimpuls (sofort) gesetzt und gelöscht werden können (mit H oder logisch 1)
- Wie würden Sie die Schaltung verändern/ergänzen?

## 10.1 MS-JK-Flipflop

Sehr häufig findet man in der Praxis (als IC's)  
Master-Slave-JK-Flipflops (MS-JK-FF)

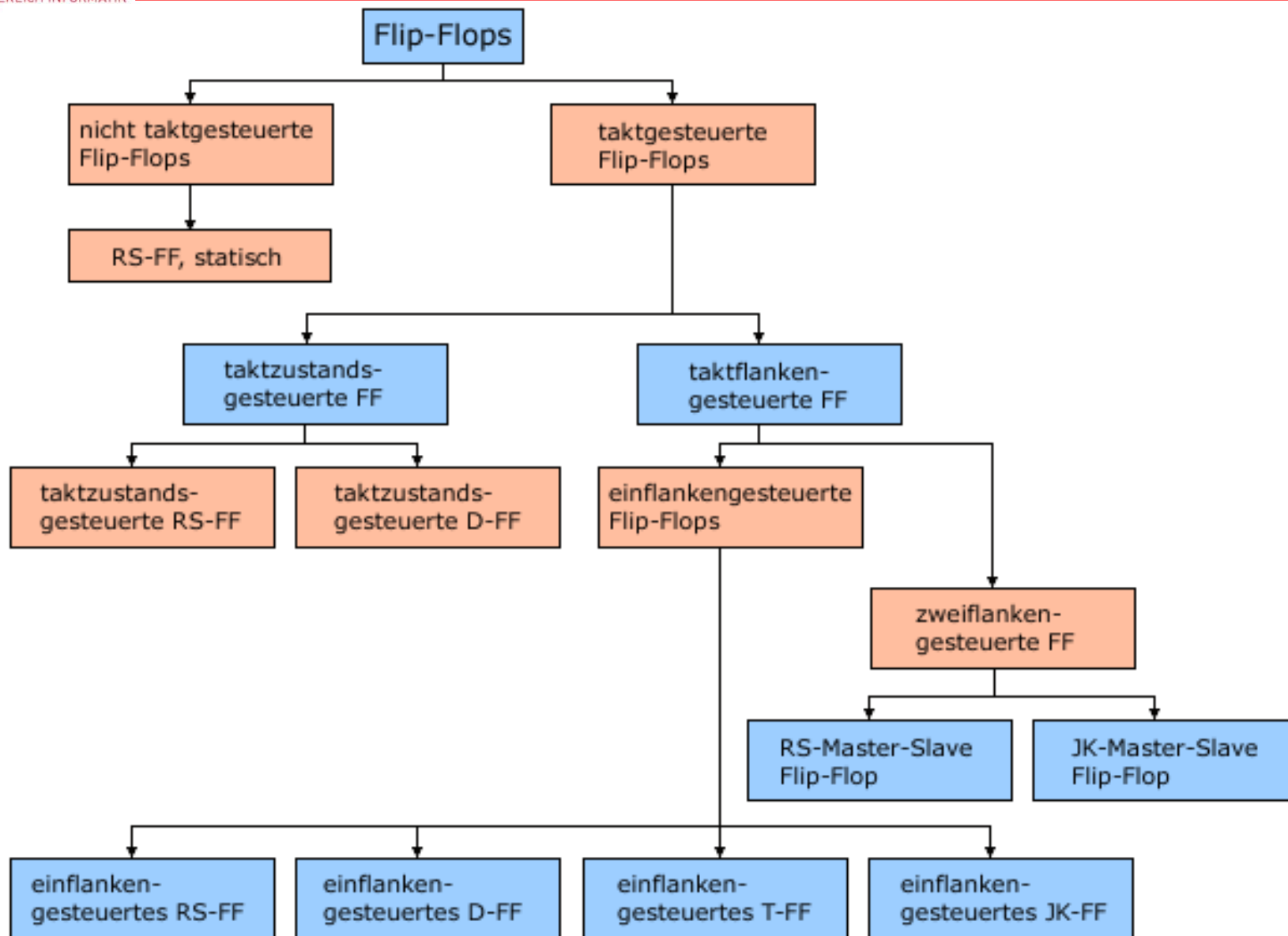
**HS-Übung:** Zeichnen Sie das Symbol



## Realisierung von Registern

- Parallele Anordnung von Flip-Flops mit gemeinsamen Takt.
- Auffang- oder Buffer-Register zur Zwischenspeicherung von Bitfolgen.
- Schiebe- oder Shift-Register zur Parallel-Seriell-Umwandlung oder für binäre Multiplizierer / Dividierer

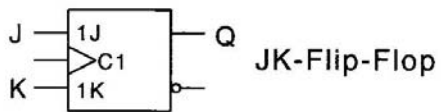
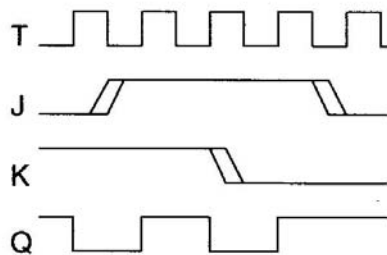
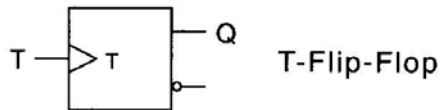
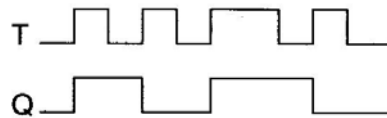
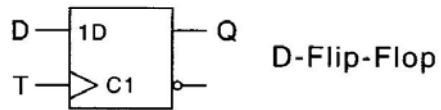
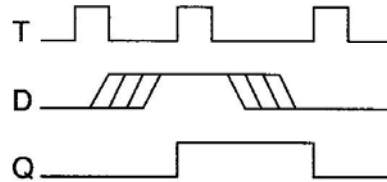
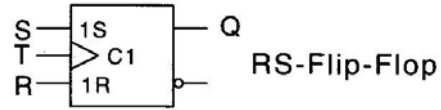
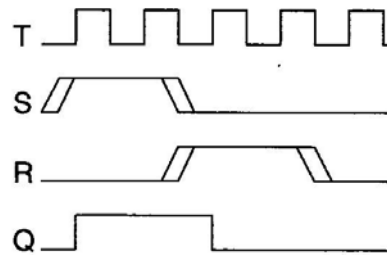
# 10.1 Der Zoo der Flipflop's



# 10.1 Zusammenfassung Flipflop-Symbole

Schaltsymbol	Flip-Flop	Steuerung
	T-Flip-Flop	getaktet, einflankengesteuert
	RS-Flip-Flop	nicht getaktet, zustandsgesteuert
		getaktet, einzustandsgesteuert
		getaktet, einflankengesteuert
	JK-Flip-Flop	getaktet, zweizustandsgesteuert
		getaktet, zweiflankengesteuert
	D-Flip-Flop	getaktet, einzustandsgesteuert
		getaktet, einflankengesteuert

# 10.1 Zusammenf. Flipflop-Eigenschaften



T: Takt S: Setzen R: Rücksetzen J,K: Vorbereitungseingänge

Abbildung 8.50: Impulsdiagramme der vier flankengesteuerten Flip-Flop-Typen

Impulsdiagramme  
 gängiger Flipflops

- Zeitliche Unsicherheit der Eingangssignale (engl., **Jitter**)

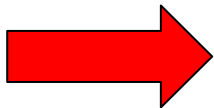
## 10.2 Schaltwerke

---

1. Asynchrone Schaltwerke
2. Synchrone Schaltwerke
3. Self-timed Schaltwerke
4. Schaltwerk-Synthese

## 10.2.1 Asynchrone Schaltwerke

- haben **Speicherelemente**, die zu **unterschiedlichen Zeitpunkten** Informationen übernehmen.
- dazugehörigen **Takte** werden meist **durch Schaltnetze selbst gebildet**.
- **Speicherelemente** können auch implizit **durch verteilte Rückkopplungen** erzeugt werden und müssen **nicht als Flip-Flops** erkennbar sein.

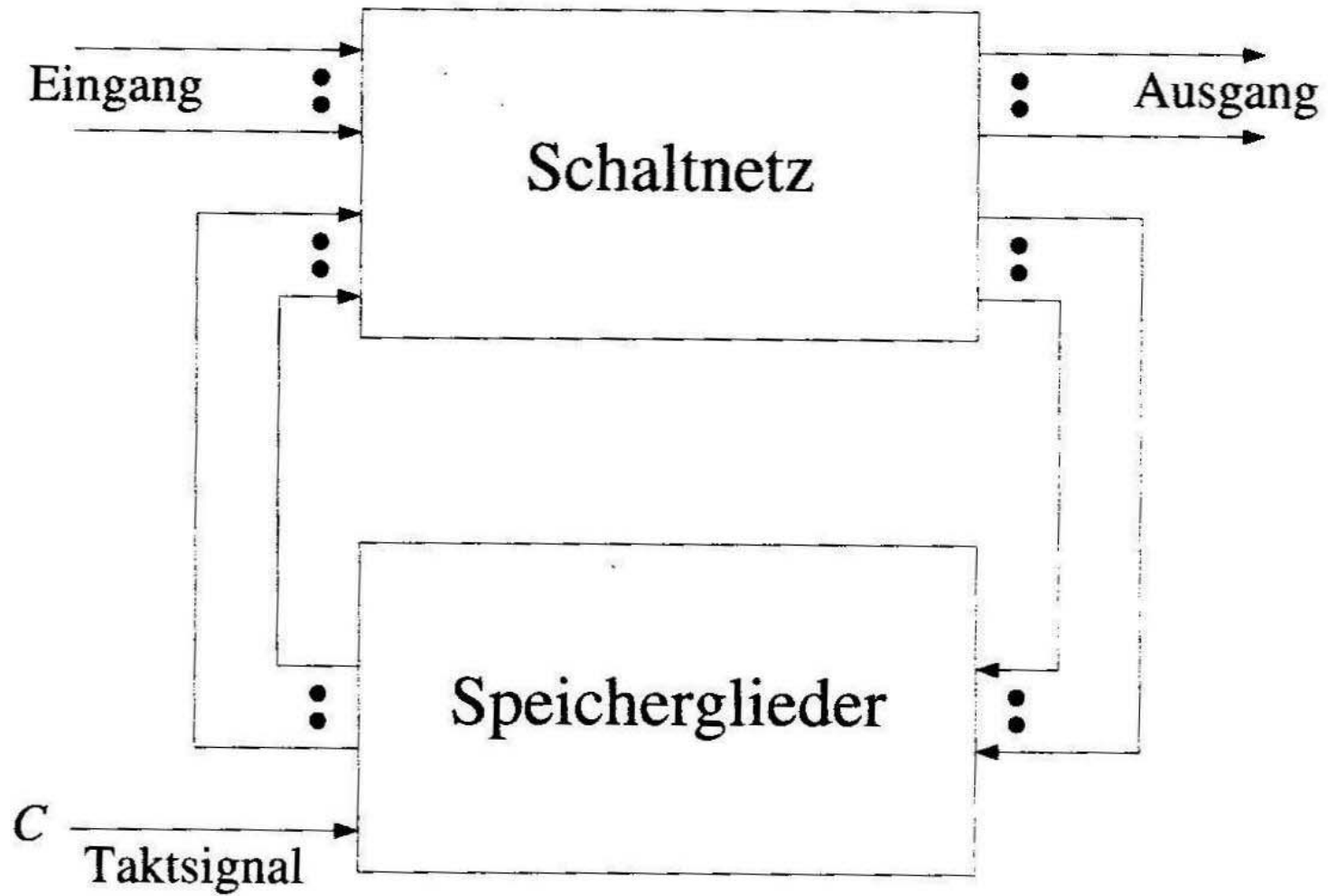


Verhalten kaum vorherzusagen!

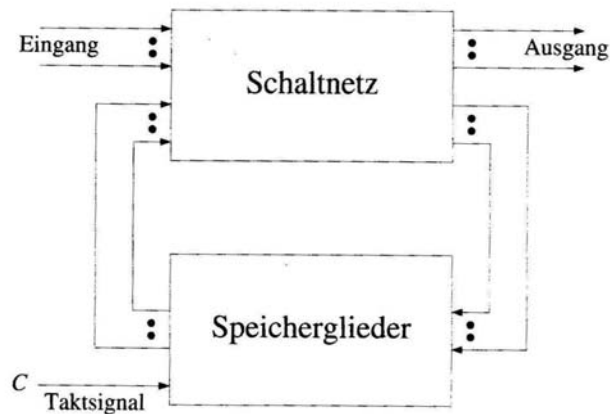


Daher hat sich sogenannte  
**Synchron-Technik** durchgesetzt.

## 10.2.2 Synchronе Schaltwerke



## 10.2.2 Synchrones Schaltwerke



- **Schaltwerk** wird gedacht als zerlegt in **Schaltnetze** und **Speicherelemente**
- Zeitlicher Ablauf im Schaltnetz wird nicht betrachtet, nur  $t_{\max}$
- Zeitskala wird über Takt vorgegeben, wobei Taktfolgezeit  $> t_{\max}$  ist.
- Zu den Taktzeitpunkten werden die asynchronen Informationen aus dem Schaltnetz in die Speicher übernommen.
- Erst zur neuen Taktzeit werden neue Speicherinhalte wirksam.

## 10.2.3 Self-timed Schaltwerke

---

- Daten werden durch Verarbeitungsnetze geschickt, die gleiche Laufzeit haben.
- Takt wird mit denselben gleichen Laufzeiten übertragen.
- ➔ Vorteil bei größeren Netzen:
  - Nicht alle Register und Treiber müssen gleichzeitig schalten.
  - ➔
    - Geringere Belastung der Stromversorgung
    - Weniger Probleme mit EMV  
(= **E**lektrom**m**agnetische **V**erträglichkeit, engl. EMC)

## 10.2.4 Schaltwerk-Synthese

---

- Vorgehen beim Entwurf von Schaltungen
- Asynchrone Schaltwerke
- Synchrone Schaltwerke
- Self-timed Schaltwerke

## 10.2.4 Zyklische Folgeschaltung (mit JK-FF)

t	A	B	C
0	0	0	0
1	1	1	1
2	1	0	1
3	1	1	0
4	0	0	1
5	0	1	0
6	0	0	0
7	1	1	1

- Das System wird vom Takt getrieben
- 6 Zustände, zyklische Wiederholung
- 3 Flip-Flops können 8 Zustände
- Realisierung mit **JK**-Flip-Flops

## 10.2.4 Zyklische Folgeschaltung mit JK (2)

A	B	C	JA	KA	JB	KB	JC	KC	Index
0	0	0	1	=	1	=	1	=	0
1	1	1	-	0	=	1	-	0	7
1	0	1	-	0	1	=	=	1	5
1	1	0	=	1	=	1	1	=	6
0	0	1	0	-	1	=	=	1	1
0	1	0	0	-	=	1	0	-	2
<b>0</b>	<b>0</b>	<b>0</b>	1	=	1	=	1	=	<b>0</b>

Aufstellung der Wertetabelle für die Übergänge

- für jeden der 2 Eingänge der 3 Flipflops
- '=' don't care: mögliche Toggle-Beziehung  $J=K=1$
- '-' don't care: Wert ist egal, kann beliebig gewählt werden



- 6 KV-Diagramme
- Eintrag in KV-Diagramme an den richtigen Stellen

## 10.2.4 Zyklische Folgeschaltung mit JK (3)

A	B	C	JA	KA	JB	KB	JC	KC	Index
0	0	0	1	=	1	=	1	=	0
1	1	1	-	0	=	1	-	0	7
1	0	1	-	0	1	=	=	1	5
1	1	0	=	1	=	1	1	=	6
0	0	1	0	-	1	=	=	1	1
0	1	0	0	-	=	1	0	-	2
0	0	0	1	=	1	=	1	=	0

Beachte bei zyklischer Folgeschaltung den **richtigen Index** für die jeweiligen Min- bzw. Max-Terme

→ KV-Diagramme

JA	C	C		
	1	0	-	-
B	0	-	-	=
			A	A

JB	C	C		
	1	1	1	-
B	=	-	=	=
			A	A

JC	C	C		
	1	=	=	-
B	0	-	-	1
			A	A

KA	C	C		
	=	-	0	-
B	-	-	0	1
			A	A

KB	C	C		
	=	=	=	-
B	1	-	1	1
			A	A

KC	C	C		
	=	1	1	-
B	-	-	0	=
			A	A

→ jeweils DMF oder KMF bestimmen, Gleichungen ermitteln, Schaltung zeichnen und realisieren

## 10.2.4 Zyklische Folgeschaltung mit JK (4)

JA	C	C	
1	0	-	-
B	0	-	-
		A	A

JB	C	C	
1	1	1	-
B	-	-	-
		A	A

JC	C	C	
1	-	-	-
B	0	-	1
		A	A

KA	C	C	
-	-	0	-
B	-	0	1
		A	A

KB	C	C	
-	-	-	-
B	1	1	1
		A	A

KC	C	C	
-	1	1	-
B	-	0	-
		A	A

$$JA = \bar{B} \wedge \bar{C}$$

$$JB = 1$$

$$JC = \bar{B} \vee A$$

$$KA = \bar{C}$$

$$KB = 1$$

$$KC = \bar{B}$$

➔ ... Schaltung zeichnen und realisieren