

11. Speicherschaltungen

11.1 Grundlagen

11.1.1 Allgemeines

In Prozessorsystemen ist je nach Einsatzgebiet ein unterschiedlicher Speicheraufbau hinsichtlich der Anzahl der Speicherplätze (**Speicherkapazität**) und der Anzahl von Bits pro Speicherplatz (**Wortbreite**) notwendig.

Aus wirtschaftlichen Gründen werden in diesen Systemen aber oft Speicherbausteine verwendet, die, einzeln betrachtet, die Anforderungen an Speicherkapazität und Wortbreite nicht erfüllen. Dies erfordert eine spezielle Verschaltung dieser Bausteine.

Als Speicherbausteine werden hier **RAMs** verwendet. Diese werden in der Halbleitertechnik als Schreib-Lese-Speicher bezeichnet. Jeder Speicherplatz hat hierbei eine festgelegte Speicherkapazität. Er kann also eine Information bestimmter Bitlänge aufnehmen. Die einzelnen Speicherplätze sind mit Adressen gekennzeichnet. Mit Hilfe dieser Adressen können Speicherzellen angewählt werden. Ein RAM arbeitet also mit wahlfreiem Zugriff. Die Bezeichnung RAM ist die Abkürzung für Random Access Memory, Speicher mit beliebigem Zugang oder, sinngenaue, Speicher mit wahlfreiem Zugriff.

11.1.2 Erweiterung der Wortbreite

Die Wortbreite der Speicherbausteine muß immer an die Verarbeitungsbreite des Prozessors angepaßt werden. Ein 32-Bit-Prozessor benötigt z. B. ein Speichersystem, bei dem für jede Adresse (also für jeden Speicherplatz) 32 Bit gespeichert werden können.

Speicherbausteine, die die geforderte Wortbreite nicht besitzen, können **parallel** betrieben werden.

Ein Speicher mit einer Organisation von 1024 Speicherplätzen x 8 Bit pro Speicherplatz kann mit zwei RAMs 2114 (1024 x 4 Bit), wie in Abb. 11.1.2.1 dargestellt, betrieben werden.

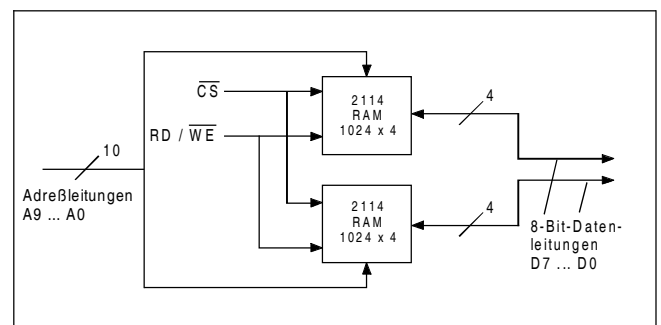


Abb. 11.1.2.1

An beide Speicherbausteine sind die Adreßleitungen sowie die Steuerleitungen **CS** (Chip Select) und **WE** (Write Enable) parallel angeschlossen. Ein 8-Bit-Speicherwort wird auf beide Bausteine so aufgeteilt, daß jeweils ein Speicherbaustein 4 Bit übernimmt.

Die Adressen der angesprochenen Speicherplätze (Adreßbits A9 ... A0) liegen im Bereich $0000_{(10)} \dots 1023_{(10)}$. Zur Beschreibung von Speichersystemen wird oft ein Blockdiagramm (Abb. 11.1.2.2) verwendet, bei dem die entsprechenden Speicherbereiche besonders gekennzeichnet sind.

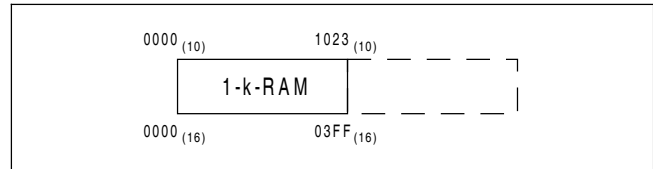


Abb. 11.1.2.2 Blockdiagramm für Speicherbereich

11.1.3 Erweiterung der Anzahl der Speicherplätze

Sind für ein Speichersystem mehr Speicherplätze erforderlich als ein Baustein enthält, so muß die Speicherkapazität durch **Hintereinanderschalten** der entsprechenden Anzahl von Bausteinen erhöht werden.

Zum Beispiel kann ein Speicher mit einer Organisation von 2048 Speicherplätzen x 4 Bit pro Speicherplatz mit zwei RAMs 2114 (1024 x 4 Bit), wie in Abb. 11.1.3.1 dargestellt, betrieben werden.

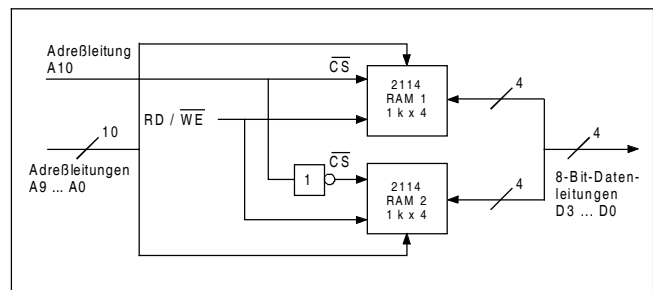


Abb. 11.1.3.1

Abb. 11.1.3.2 zeigt, wie die erforderliche Anzahl von 2048 Speicherplätzen auf die beiden Speicherbausteine je zur Hälfte aufgeteilt wird.

Das Problem besteht nun darin, eine Dekodierschaltung zu entwerfen, die nur den Baustein aktiviert (CS), in dem der gewünschte Speicherplatz liegt. Zur Adressierung des gesamten Speichersystems mit 2048 Speicherplätzen sind elf Adreßleitungen erforderlich (A10 ... A0). Die Adreßleitungen A9 ... A0 werden parallel auf die zehn Adreßeingänge der Bausteine geführt und adressieren einen von 1024 Speicherplätzen innerhalb eines Bausteins. Die elfte Adreßleitung (A10) besitzt - bei binärer zahlenmäßiger Betrachtung der Adreßleitungen - eine Wertigkeit von $2^{10} = 1024$ und entscheidet damit, ob eine Adresse im Bereich von 0 ... 1023 (A10 = 0) oder im Bereich von 1024 ... 2047 (A10 = 1) liegt. Bei diesem einfachen Beispiel wird also mit Hilfe der Adreßleitung A10 bestimmt (dekodiert), ob RAM 1 oder RAM 2 aktiviert wird.

Die Dekodierschaltung besteht nur aus einem einzigen Inverter. Die vier I/O-Leitungen der Speicherbausteine werden zum 4-Bit-Datenbus parallel geschaltet. Dies kann gefahrlos geschehen, da die Leitungen des jeweils inaktiven Bausteins des Datenbusses abgeschaltet sind (Tri-State).

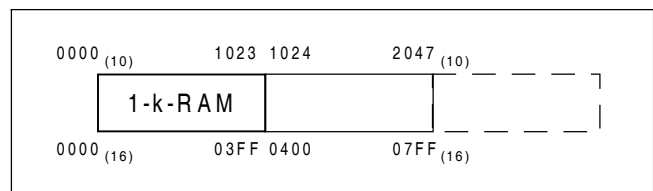


Abb. 11.1.3.2

Ist ein Datenempfänger z. B. nicht auf Empfang geschaltet, müssen seine Dateneingänge hochohmig sein. Der Datenempfänger darf die auf den Datenbusleitungen befindlichen Signale nicht beeinflussen. Neben High und Low muß also noch ein dritter hochohmiger Zustand der Eingänge möglich sein. Schaltungen, deren Ein- und Ausgänge hochohmig geschaltet werden können, werden als **Tri-State-Schaltungen** bezeichnet.

11.1.4 Speicherbausteine RAM 8 x 4 und EEPROM 8 x 4

Abb. 11.1.4.1 zeigt die Schaltsymbole des RAM 8 x 4 und des EEPROM 8 x 4.

Anschlußbelegung:

- **0 ... 2:** Adreßeingänge zur Wahl der Speicherplätze 0 ... 7
- **WE:** Write Enable (Schreibfreigabe)
- **OE:** Output Enable (Lesefreigabe)
- **CS:** Chip Select (Speicherfreigabe)

Der Speicherbaustein besitzt vier Datenleitungen, die je nach Beschaltung der Steuereingänge als Ein- oder Ausgangsleitungen arbeiten oder im hochohmigen Zustand (Tri-State) sind.

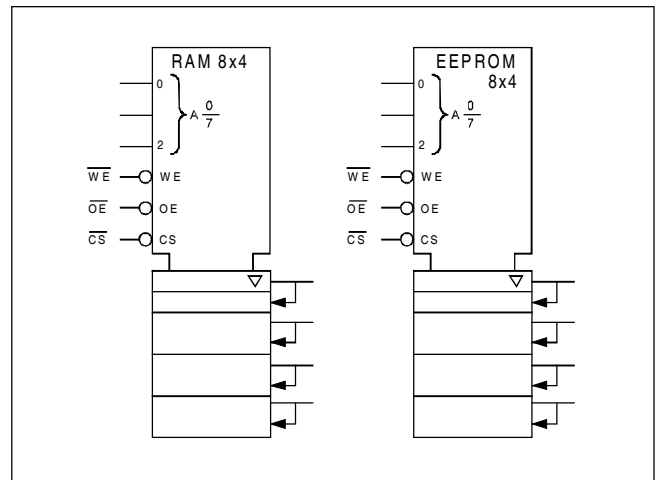


Abb. 11.1.4.1 RAM 8 x 4 und EEPROM 8 x 4

Tabelle 11.1.4.1 zeigt eine Übersicht über die Beschaltung der Steuereingänge, den daraus resultierenden Zustand des RAM bzw. EEPROM und über die jeweilige Arbeitsweise.

- **Hinweis:** Das hier eingesetzte EEPROM kann seine Informationen ca. eine Stunde ohne Betriebsspannung aufbewahren.

	Steuereingänge			Zustand des Bausteins	Funktion
	WE	OE	CS		
Speicherbaustein beschreiben	0	1	0	aktiv	Datenleitungen arbeiten als Eingänge, Bitkombination wird in den Speicherbaustein übernommen
	0	1	1	nicht aktiv	Datenleitungen sind hochohmig (abgeschaltet)
Speicherbaustein lesen	1	0	0	aktiv	Datenleitungen arbeiten als Ausgänge, Inhalt der adressierten Speicherzelle liegt auf den Datenleitungen
	1	0	1	nicht aktiv	Datenleitungen sind hochohmig (abgeschaltet)

Tab. 11.1.4.1 Funktionstabelle